

SC5103 0.6Gbps 至 1.5Gbps 收发器

主要性能

- 0.6Gbps 至 1.5 Gbps (千兆比特/秒) 串并/并串转换器
- 热插拔保护
- 低功耗操作
- 串行输出提供可编程预加重等级
- 连接到背板、铜电缆或光学转换器的接口
- 片上 8 位/10 位编码/解码、K 码检测
- 片上 PLL 利用低速参考频率合成时钟
- 低功耗: 250mW
- 并行数据输入信号上提供 3V 耐压
- 16 位并行可兼容 TTL 的数据接口
- 信号丢失 (LOS) 检测
- RX 侧集成 50Ω 终端电阻
- QFP64 封装

应用场合

- 点对点高速 I/O
- 数据采集
- 数据处理

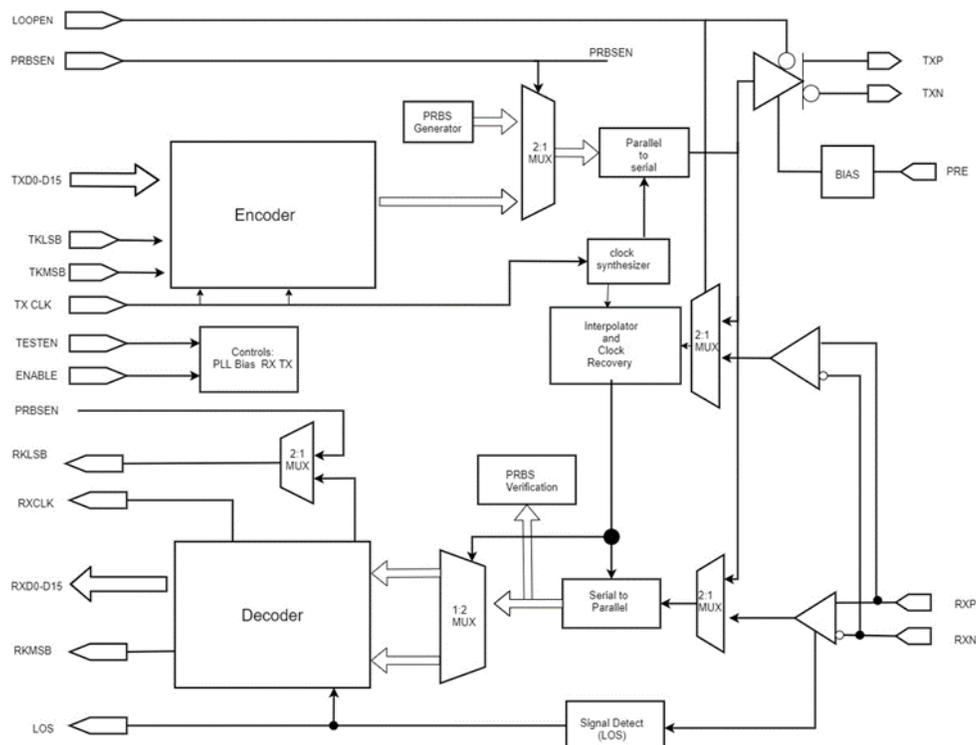


图 1 芯片模块示意

目录

主要性能.....	1
应用场合.....	1
产品概况.....	4
发送端接口.....	4
发送端数据总线.....	4
数据传输延迟.....	4
8 B/10 B 编码器.....	5
IDLE 字符集.....	6
伪随机序列 (PRBS) 生成器.....	6
并串转换.....	6
高速数据输出.....	6
接收端接口.....	6
接收端数据总线.....	7
数据接收延迟.....	7
串并转换.....	7
K 码检测和 8 B/10 B 解码.....	8
LOS 信号丢失检测.....	9
PRBS 验证.....	9
参考时钟输入.....	9
工作频率范围.....	9
可测试性.....	9
环回测试.....	9
BIST.....	10
上电复位.....	10
同步和初始化.....	10
技术规格.....	13
推荐工作电特性.....	13
TTL 输入电特性.....	13
发送/接收电特性.....	14
参考时钟 (TXCLK) 时序要求.....	14
TTL 输出开关特性.....	15
极限参数.....	18
ESD 保护.....	18
管脚(焊盘)配置及功能说明.....	19
应用.....	21
高速 I/O 直接耦合模式.....	22
高速 I/O 交流耦合模式.....	22
设计要求.....	22
详细设计流程.....	22
电源要求.....	23
TX 输出眼图.....	23

外形尺寸.....	24
订购信息.....	25
声明.....	26

产品概况

SC5103 用于超高速双向点对点数据传输系统。SC5103 支持 0.6Gbps 至 1.5Gbps 的有效串行接口速度，提供高达 1.2Gbps 的有效数据带宽。

SC5103 可替代并行传输数据结构从而减少传输路径数、连接端子数、发送/接收端子数。并行数据被发送链路转换成串行数据通过串行通道传输。串行传输通道可以是同轴线，高速背板互连或光链路。同时 SC5103 也可将接收到的串行数据转换为并行数据。SC5103 可以节省系统成本，对更高数据速率提供可扩展性。

以下各节介绍 SC5103 收发器各模块的特性以及操作方法。

发送端接口

发送端接口在 TXCLK 的上升沿上接收 16 位宽数据 (TXD0 至 TXD15)。然后，数据通过差分高速 I/O 通道进行 8 位/10 位编码、串行化，再通过高速差分信道顺序发送。时钟倍频器将参考时钟频率 (TXCLK) 乘以 10 倍，从而得到一个位时钟。该内部位时钟被用于并行至串行移位寄存器，并同时在位时钟的上升沿和下降沿传输数据，从而提供参考时钟频率 20 倍的串行数据率。数据的最低有效位被优先发送 (LSB) (TXD0)。

发送端数据总线

发送端数据总线接口在 TXD0 - TXD15 引脚上接收 16 位单端 TTL 并行数据。当 TX_EN 被置高，TX_ER 被置低时，TXD0~TXD15 数据在 GTX_CLK 的上升沿被采样。TXCLK 用作字时钟。数据、TX_EN 和时钟信号必须正确对齐，如图 2 所示。

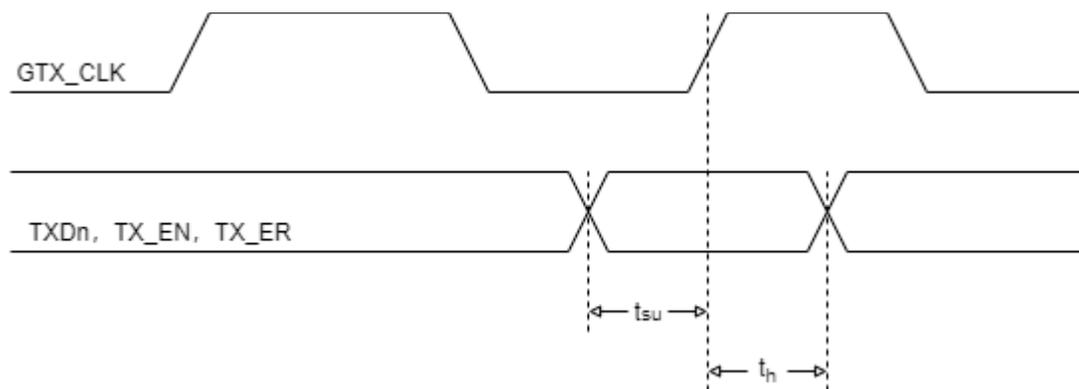


图 2 发送时序图

数据传输延迟

SC5103 的数据传输延迟定义为，从初始 16 位字负载到开始串行传输第 0 位比特的延迟。链路建立后，传输延迟是固定的。然而，由于硅工艺的变化和应用环境（如电源电压和温度），确

切的延迟略有不同。最小传输延迟 $t_d(\text{Tx latency})$ 为 34 比特;最大值为 38 比特。图 3 显示了发送端数据总线、TXCLK 和串行发送端引脚之间的时序关系。

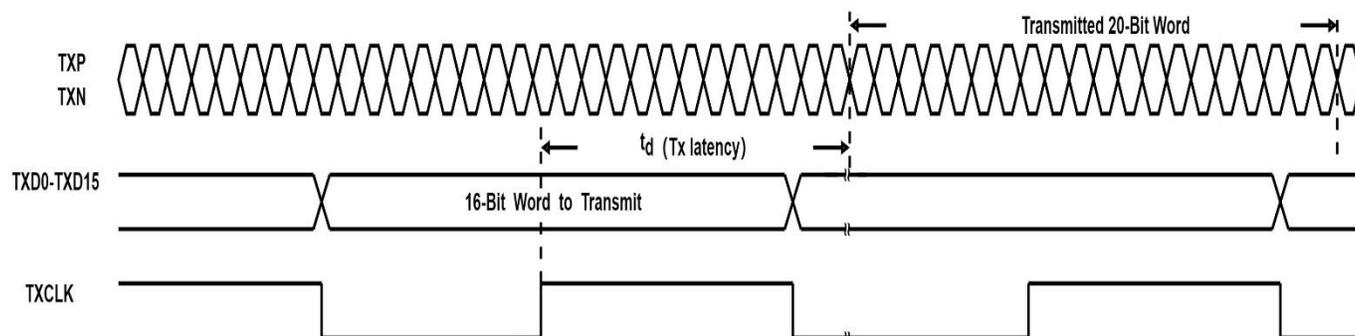


图 3 发送机延迟

8 B/10 B 编码器

所有串行接口都需要一种编码方式来确保最小的转换密度,以保证接收端锁相环(PLL)收到所需的最少电平跳变次数以保持锁定。8B/10B 编码算法通过保持数据流中 1 和 0 的数量相同来保持信号直流平衡。这为时钟恢复提供了良好的转换密度,并改进了错误检查方式。SC5103 使用的 8B/10B 编码算法常用于光纤通信和千兆以太网。SC5103 在内部对数据进行编码和解码,以使用户读取和写入实际的 16 位数据,数据对用户是公开的。

8B/10B 编码器将 8 比特数据转换为 10 比特编码数据字符,以改善其传输特性。由于 SC5103 是 16 比特位宽的接口,因此数据被拆分为两个 8 比特的字节进行编码。每个字节都传送到一个单独的编码器中。编码方式依赖于两个额外的输入信号,即 TX_EN 和 TX_ER。当 TX_EN 置高和 TX_ER 置低时,数据 TXD[0:15]编码并正常传输。当 TX_EN 置低, TX_ER 置高时,编码器生成由两个 K23.7 (F7F7)的码字组成的载波扩展。如果 TX_EN 和 TX_ER 都置高,然后编码器生成一个 K30.7 (FEFE)的码字。表 1 提供了传输数据控制译码。由于数据以 20 位串行字传输,输出表示为载波扩展和传输错误的 K 码也会通过两个 10 比特 k 码进行传递。

表 1 传输数据控制表

TX_EN	TX_ER	20 位编码输出
0	0	IDLE(<K28.5,D5.6>或者<K28.5,D16.2>)
0	1	载波扩展<K23.7,K23.7>
1	0	标准数据字符
1	1	错误传输 (K30.7, K30.7)

IDLE 字符集

当没有有效数据发送时，编码器会插入 IDLE 字符集。IDLE 由一个 K28.5 (BC) 和一个 D5.6 (C5) 或一个 D16.2(50) 字符编码组成。K28.5 字符是在 IEEE802.3z 标准中所定义的 0011111010(负的极性偏差) 序列，其中高 7 比特(0011111) 被定义为 K 码字符。由于每次锁存到的数据为 16 比特，对应被转换成两个顺序传输的 10 比特码字。这意味着 IDLE 是由 20 比特组成的序列，并在单个 GTX_CLK 周期内传输。

伪随机序列 (PRBS) 生成器

SC5103 具有内置的 2^7-1 PRBS 功能。当 PRBSEN 引脚为高电平时，PRBS 测试模式生效。生成 PRBS 并将其发送到 10 比特并串转换器的输入寄存器中。在 PRBS 模式下，将忽略来自正常输入源的数据。然后，PRBS 数据如正常数据一样通过发送端口传输出去。输出数据可以发送到误码率测试仪 (BERT)，或另一个 SC5103 的接收端，或环回至接收端。由于 PRBS 不是真正的随机，而是由 1 和 0 组成的预先定义好的序列，因此可以通过 BERT 捕获以及检查数据是否存在错误。

并串转换

并串转换器从两个并行的 8B/10B 编码器得出 20 比特的数据字，并将其转换为串行数据流。移位寄存器在内部时钟的上升沿和下降沿工作，该时钟为 TXCLK 输入频率的 10 倍。优先传输 LSB (TXD0) 数据。

高速数据输出

高速数据输出驱动器由一个电压模式逻辑 (VML) 差分对组成，该差分对针对 50Ω 阻抗环境进行了优化。当交流耦合时，差分对信号摆幅的大小与伪发射极耦合逻辑 (PECL) 电平兼容。传输线可以是直接耦合或交流耦合。

接收端接口

SC5103 的接收端接收 8B/10B 编码后的差分串行数据。插值器和时钟恢复电路锁定到输入数据流并提取接收时钟。此时钟用于对输入数据流重新定时。然后，串行数据对齐到两个单独的 10 比特边界，经过 8B/10B 解码，在 16 比特的并行总线上输出，并与提取的接收时钟同步。优先接收 LSB (RXD0) 数据。

接收端数据总线

接收端总线接口驱动 RXD0 至 RXD15 引脚上的 16 比特单端 TTL 并行数据。当 RX_DV/LOS 置高, RX_ER 置低, 数据在 RXCLK 的上升沿传输。RXCLK 用于恢复有效数据。数据、使能和时钟信号需要满足的建立时间和保持时间如图 4 所示。详细的时序信息可在 TTL 输出开关特性表中找到。

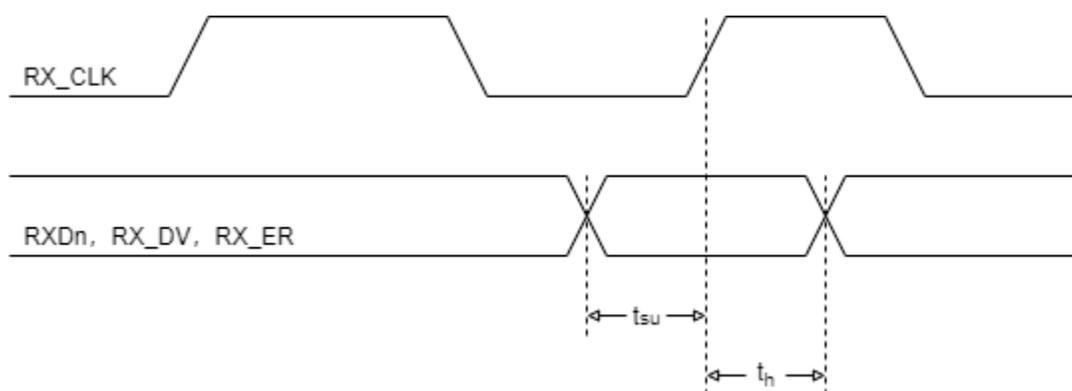


图 4 接收时序图

数据接收延迟

串并转换数据接收延迟是指从第一位到达接收器的时间到对齐并行输出数据的时间。建立链路后, 接收延迟将固定。然而, 由于硅工艺的变化以及应用环境的不同 (如电源电压和温度), 确切的延迟略有不同。最小接收延迟 $t_d(\text{Rx latency})$ 为 76 比特的时间; 最大值为 107 比特的时间。图 5 显示了串行接收引脚、恢复时钟 (RXCLK) 和接收数据总线之间的时序关系。

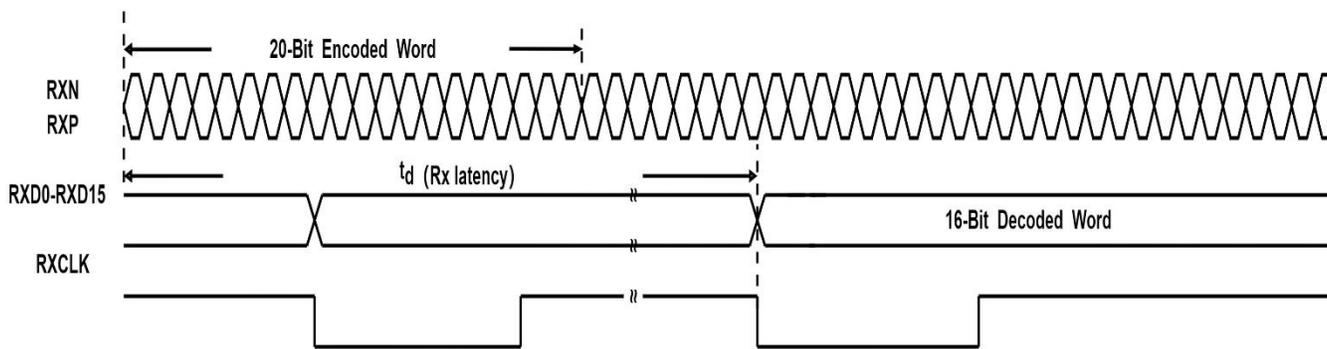


图 5 数据接收延迟时序图

串并转换

串行数据在 RXP 和 RXN 引脚上被接收。如果待恢复的时钟在已生成的内部比特率时钟的 200 PPM 范围以内, 插值器和时钟恢复电路将锁定到输入数据流。恢复出来的时钟用于对输入数

据流重定时。串行数据随后被送入串并转换器，并通过检测 K 码来对齐两个解码器的字边界，进而将 10 比特的并行数据分别送到两个 8B/10B 解码器中。

K 码检测和 8 B/10 B 解码

SC5103 具有两个并行 8B/10B 解码电路。每个 8B/10B 解码器将 10 位已编码数据（20 比特接收数据的一半）转换回 8 比特。K 码检测电路用于将 8B/10B 传输数据的字符同步。并行数据在并串转换的过程中，并行数据的字符边界会丢失。当串行数据被接收并再次转换为并行格式时，需要识别字符边界。通常使用同步码来实现。这是由 1 和 0 组成的唯一序列，它既不会出现在有效数据中，也不会重复出现。8 位/10 位编码包含一个 K 码（b0011111 或 b1100000）字符，SC5103 上的 K 码检测电路使用该字符将接收到的串行数据与原始字符做边界对齐。解码器检测 K 码，生成同步信号，并将数据与其 10 比特边界对齐以进行解码；将 K 码映射到 LSB 中。然后，解码器将数据转换回 8 比特。两个解码器的输出被锁存到 16 位寄存器中，该寄存器与 RXCLK 同步，输出在 RXCLK 的上升沿有效。

解码提供两个输出指示信号，RX_DV/LOS 和 RX_ER。当 SC5103 解码正常数据，输出数据在 RXD[0:15]时，RX_DV/LOS 置高，RX_ER 置低。当 SC5103 解码表示载波扩展的 K23.7 码 (F7F7)时，RX_DV/LOS 置低，RX_ER 置高。如果解码的数据不是有效的 8B/10B 码字，则由 RX_DV/LOS 和 RX_ER 指示错误状态。如果错误是错误传输码引起，RXD 输出十六进制 FEFE。如果错误是无效的模式造成，则 RXD 的数据输出是未定义的。当 SC5103 对 IDLE 码进行解码，RX_DV/LOS 和 RX_ER 都被置低，K28.5 (BC)码 遵循 RXD 终端上输出代码 D5.6 (C5)或 D16.2(50)。

表 2 接收状态信号

RX_DV/LOS	RX_ER	接收 20 位数据
0	0	IDLE(<K28.5,D5.6>或者<K28.5,D16.2>)
0	1	载波扩展<K23.7,K23.7>
1	0	标准数据字符 (DX.Y)
1	1	错误传输 (K30.7, K30.7)

表 3 有效的 K 码

K 码	接收数据总线 RXD7:RXD0 或 RXD15:RXD8
K28.0	000 11100
K28.1	001 11100
K28.2	010 11100
K28.3	011 11100
K28.4	100 11100
K28.5	101 11100
K28.6	110 11100

K 码	接收数据总线 RXD7:RXD0 或 RXD15:RXD8
K28.7	111 11100
K23.7	111 10111
K27.7	111 11011
K29.7	111 11101
K30.7	111 11110

LOS 信号丢失检测

SC5103 具有 LOS 检测电路，用于表明输入信号不再具有足够的幅值使得时钟恢复电路保持锁定。信号检测电路旨在粗略地反映信号出错的情形，例如拔掉电缆或没有信号被传输，而不表示信号编码是否正常。在 LOS 情况下，SC5103 的 RX_DV/LOS、RX_ER 和 RXD0 至 RXD15 引脚被拉高。只要差分信号的差分幅度超过 200mV，LOS 电路就不会给出 LOS 指示信号。

PRBS 验证

SC5103 接收端还具有由 PRBSEN 控制的内建 BERT 功能。当 RX_ER/PRBSPASS 引脚为低时，会检测并报告错误。

参考时钟输入

参考时钟 (TXCLK) 是一个外部输入时钟，用于同步发送端接口。然后，参考时钟频率乘 10 倍，产生内部串行时钟。内部串行时钟的频率锁定在参考时钟的 10 倍，其上升沿和下降沿都被用于传输串行数据，从而提供 20 倍参考时钟的串行数据速率。

工作频率范围

SC5103 可以在 0.6G 至 1.5Gbps 的串行数据速率下工作。TXCLK 必须在所需并行数据速率时钟的 ±100 PPM 范围内。

可测试性

SC5103 具有一套完整的内置自检功能。通过环回功能，可对电路的发送/接收部分进行高速测试。使能引脚可以禁用所有电路，以便进行静态电流测试。PRBS 功能可在内置自检 (BIST) 启用。

环回测试

收发器可以通过启用 (LOOPEN) 内部环回路径来提供自检功能。将该引脚置高，会让串行传输的数据通过内部电路环回至接收端。并行输出数据可与并行输入数据进行比较，以进行功能验证。在环回测试期间，外部差分输出保持在高阻抗状态。

BIST

SC5103 具有 BIST 功能。通过将 PRBS 与环回相结合，可以实现运行在最高速率的电路自检。在 RX_ER/PRBS_PASS 引脚上会指示 BIST 是否成功完成。

上电复位

SC5103 上电复位的处理过程如下:

1. SC5103 保持上电状态，ENABLE 保持为低。
2. 保持 TX_EN 和 TX_ER 设置为低。
3. 等待 200us 以后，将 ENABLE 拉高，并继续等待 200us。
4. 在 GTX_CLK 下降沿时将 TX_EN 拉高，随后 TXD<15:0>就可以传输数据了。

注意：TX_ER/TX_EN/TXD<15:0>在时钟下降沿切换

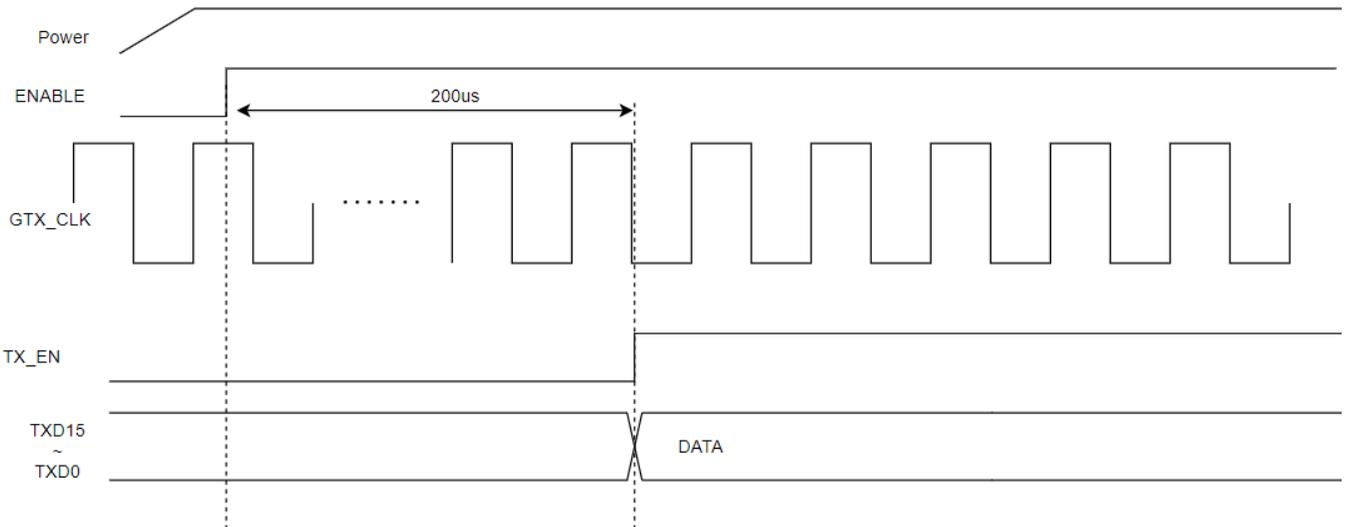


图 6 上电/复位时序图

同步和初始化

SC5103 有一个同步状态机，它负责处理链路初始化和同步。在上电或复位时，状态机进入链路建立(ACQ)状态并搜索 IDLE 码字或载波扩展字符。在接收到三个连续空闲或载波扩展码字时，状态机进入同步(SYNC)状态。状态机在接收到有效数据或错误传播码字时将立即跳转到同步状态。同步状态为设备传输和接收状态。初始化和同步状态图如图 7 所示。

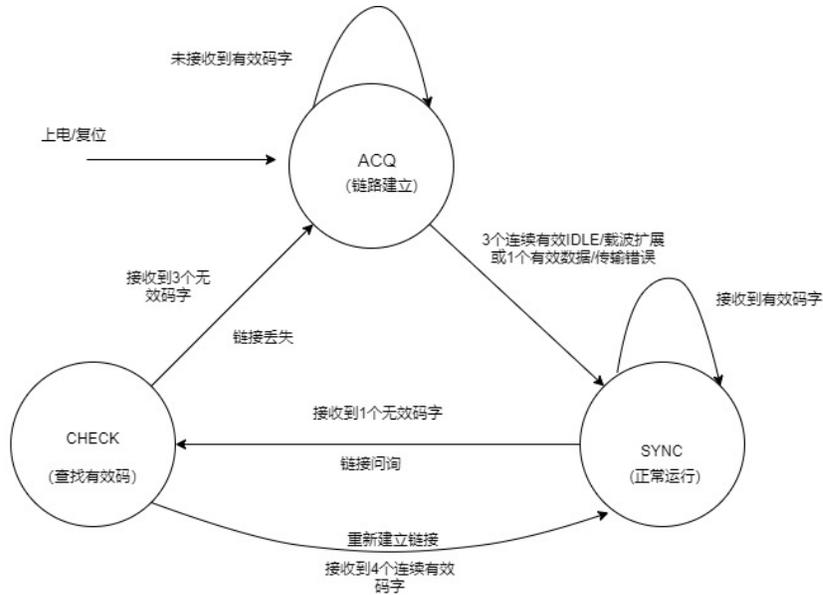


图 7 同步和初始化状态

如果在收发数据期间接收到无效代码，SC5103 通知 K 码检测和 8 位/10 位解码系统或协议设备。同步状态机器转换到检查状态。检查状态确定是否接收到无效代码是否是由错误事件或链路丢失引起的。如果在检查状态下，解码器解出 4 个连续有效代码，状态机认为链路正常并转换回同步状态操作。如果在检查状态下，解码器解出 3 个无效码(无需连续)，则 SC5103 判断已经发生链路丢失并将同步状态机转换回链路建立状态(ACQ)。

链路建立过程中的传输数据总线、控制终端和串行输出等状态如图 8 所示。

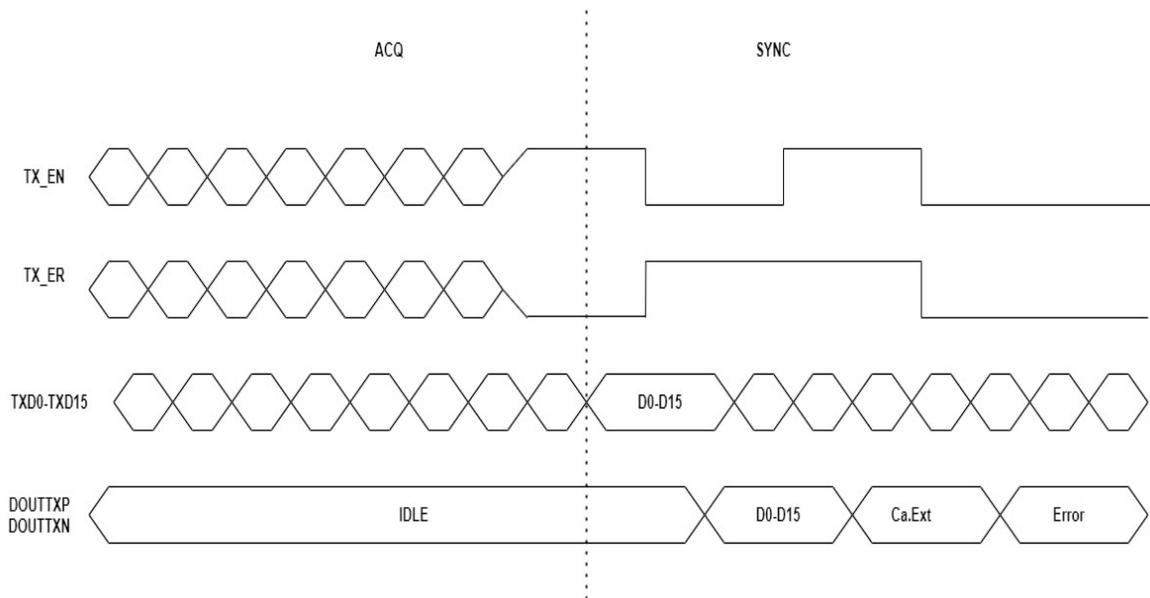


图 8 发送侧时序

链路建立过程中，接收数据总线、状态终端和串行输入等状态如图 9 和图 10 所示

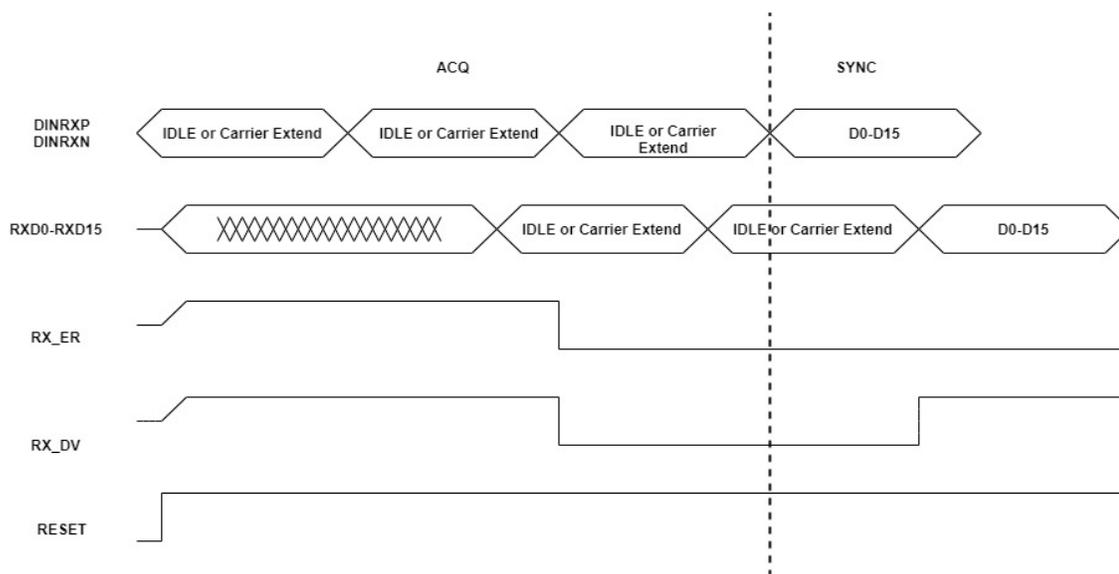


图 9 接收侧时序（Idle 或载波扩展）

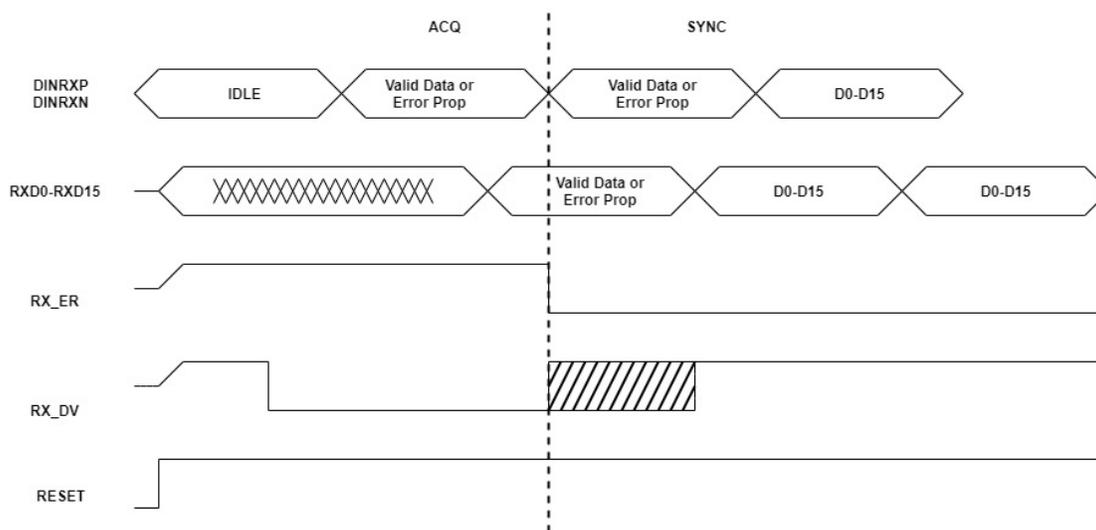


图 10 接收侧时序（有效数据或错误传输）

技术规格

推荐工作电特性

表 4 推荐工作电特性

参数	条件	最小值	典型值	最大值	单位
电源 V_{DD}			2.5		V
电流 I_{CC}	0.6Gbps,PRBS pattern		83		mA
	1.5Gbps,PRBS pattern		99		
功耗 P_D	0.6Gbps,PRBS pattern		207		mW
	1.5Gbps,PRBS pattern		250		mW
关断电流	Enable=0, V_{DDA} , V_{DD} terminals+ V_{DD} =MAX		4		mA
工作温度		-40		85	°C

TTL 输入电特性

除非另有说明, TTL 信号: TXD0–TXD15, TXCLK, LOOPEN, LCKREFN, ENABLE, PRBS_EN。

表 5 TTL 输入电气特性

参数	条件	最小值	典型值	最大值	单位
输入高电平 (V_{IH})	如图 11		2.5	3.6	V
输入低电平 (V_{IL})	如图 11			0.8	V
输入电流高 I_{IH}	V_{DD} =最大值, V_{IN} =2V			40	μ A
输入电流低 I_{IL}	V_{DD} =最大值, V_{IN} =0.4 V	-40			μ A
C_i			4		pF
t_r	0.8 to 2.0V, C = 5 pF, 如图 11		1		ns
t_f	2V 至 0.8V, C = 5 pF 如图 11		1		ns
t_{su}	如图 11	1.5			ns
t_h	如图 11	1.5			ns

发送/接收电特性

表 6 发送/接收电气特性

参数	条件	最小值	典型值	最大值	单位
差分输出峰峰值电压 ($V_{OD(pp)}$)	如图 13		2400		mVp-p
去加重输出电压 ($V_{OD(d)}$) $V_{OD(d)}= V_{TXP}-V_{TXN} $			2100		mVp-p
发送共模电压范围 ($V_{(cmt)}$) $V_{(cmt)}=(V_{TXP}+V_{TXN})/2$	如图 13		1150		mV
接收器输入电压差 (V_{ID}) $V_{ID}= V_{RXP}-V_{RXN} $		200		1600	mV
接收共模电压范围 ($V_{(cmr)}$) $V_{(cmr)}=(V_{RXP}+V_{RXN})/2$			1150		mV
接收器输入漏电流 (I_{IKG})		-10		10	μ A
接收器输入电容 (C_I)				2	pF
串行数据总抖动 (峰峰值)	1.5Gbps 时差分输出抖动, 随机+确定性, PRBS 模式		0.1		UI
	0.6Gbps 时差分输出抖动, 随机+确定性, PRBS 模式		0.05		
差分输出信号上升下降 (20% 到 80%) 时间 t_r, t_f	RL = 50 Ω , CL = 5 pF,		150		ps

参考时钟 (TXCLK) 时序要求

表 7 参考时钟 (TXCLK) 时序要求

参数	条件	最小值	典型值	最大值	单位
频率	接收数据率/20	-100		+100	ppm
频率公差		-100		+100	ppm
占空比		40		60	%
抖动	峰峰值			40	ps

TTL 输出开关特性

表 8 TTL 输出开关特性

参数	条件	最小值	典型值	最大值	单位
输出高电平电压 (V_{OH})	$I_{OH} = -2 \text{ mA}$, $V_{DD} = \text{最小值}$	2.1	2.3		V
输出低电平电压 (V_{OL})	$I_{OL} = 2 \text{ mA}$, V_{DD} =最小值	GND	0.25	0.5	V
RXCLK,RX_ER,RX_DV/LOS,RXD0- RXD15 的压摆率 ($t_{r(slew)}$)	0.8 V 至 2 V, C = 5 pF, 如图 12	0.5			V/ns
RXCLK,RX_ER,RX_DV/LOS,RXD0- RXD15 的压摆率 ($t_{f(slew)}$)	0.8 V 至 2 V, C = 5 pF, 如图 12	0.5			V/ns
RXD0 至 RXD15、 RX_DV/LOS、RX_ER 到 RXCLK 上 升沿的建立时间(t_{su})	50% 电压摆动, TXCLK = 30 MHz, 如图 12	3			ns
	50% 电压摆动, TXCLK = 75 MHz, 如图 12	2.5			
RXD0 至 RXD15, RX_DV/LOS, RX_ER 到 RXCLK 上 升沿的保持时间(t_h)	50% 电压摆动, TXCLK = 30 MHz, 如图 12	2			ns
	50% 电压摆动, TXCLK = 75 MHz, 如图 12	1.5			

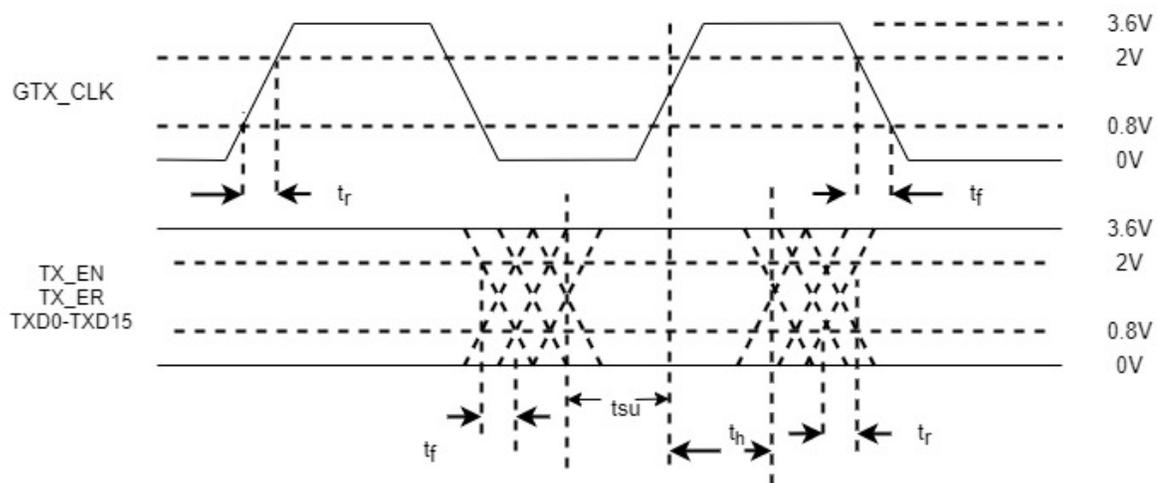


图 11 交流测量的 TTL 数据输入有效电平

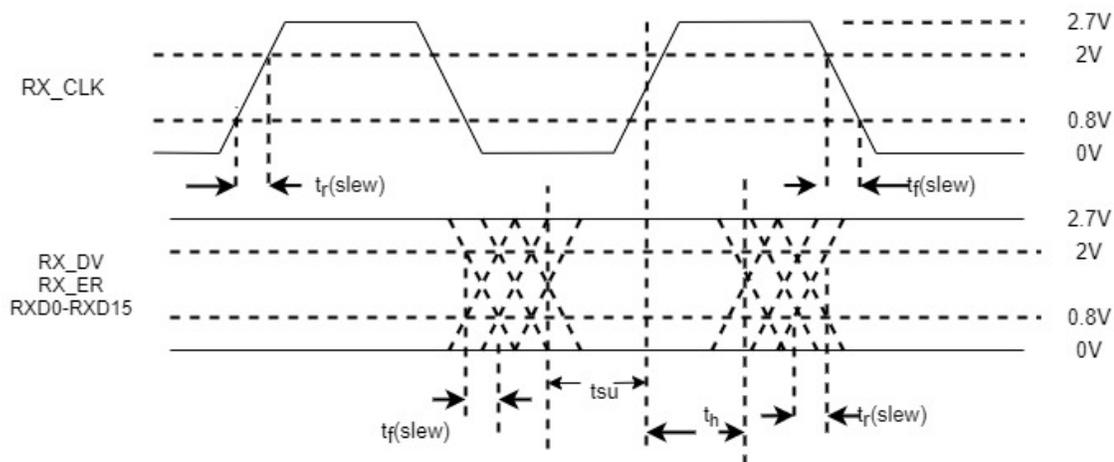


图 12 交流测量的 TTL 数据输出有效电平

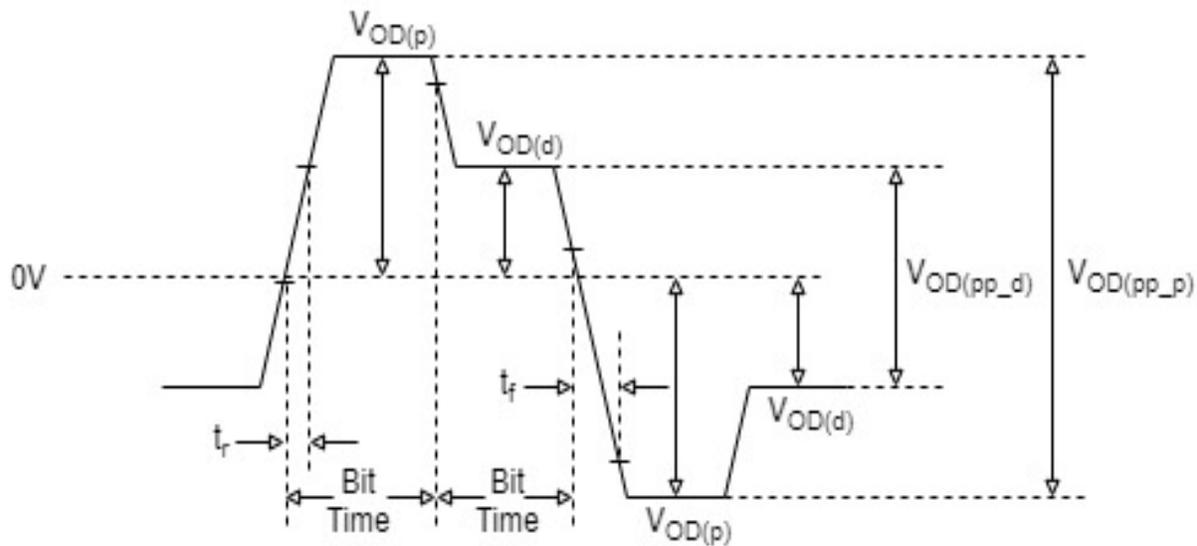


图 13 差分共模输出电压

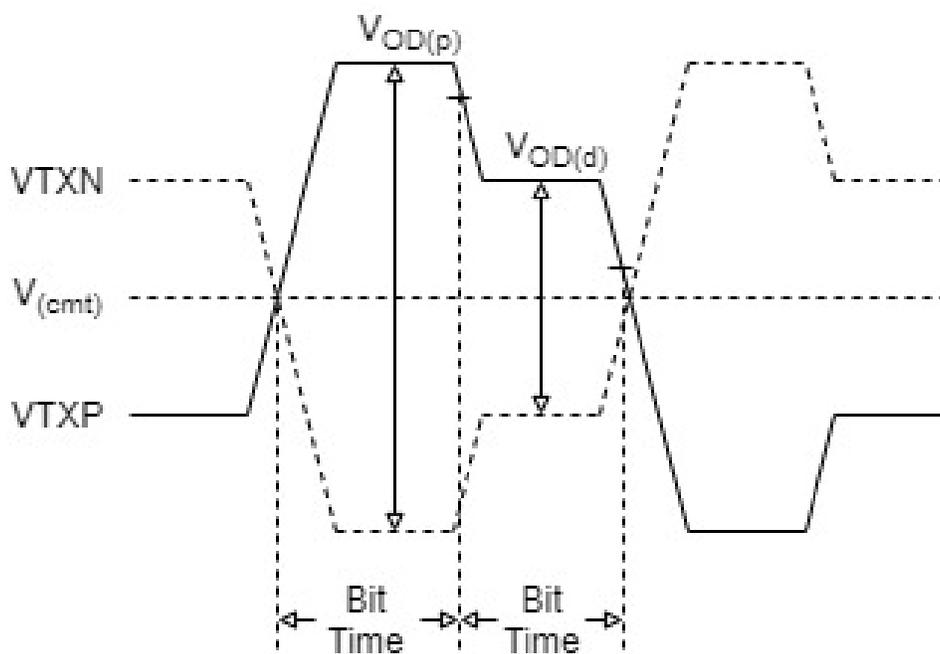


图 14 共模输出电压定义

极限参数

VDD	-0.3V 至 3V
电压: TXD0 至 TXD15,ENABLE,GTXCLK, TX_EN, TX_ER,LOOPEN,PRBSEN, LCKREFN, PRE, TESTEN.....	-0.3V 至 4V
电压: RXD0 至 RXD15, RX_ER/PRBS_PASS, RX_DV/LOS, RX_CLK.....	-0.3V 至 VDD+0.35V
电压: DINRXP, DINRXN, DOUTTXP, DOUTTXN.....	-0.35V 至 +VDDA+0.35V
工作温度.....	-40°C 至 85°C
ESD(HBM)	3000KV
ESD(CDM)	1500KV

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

管脚(焊盘)配置及功能说明

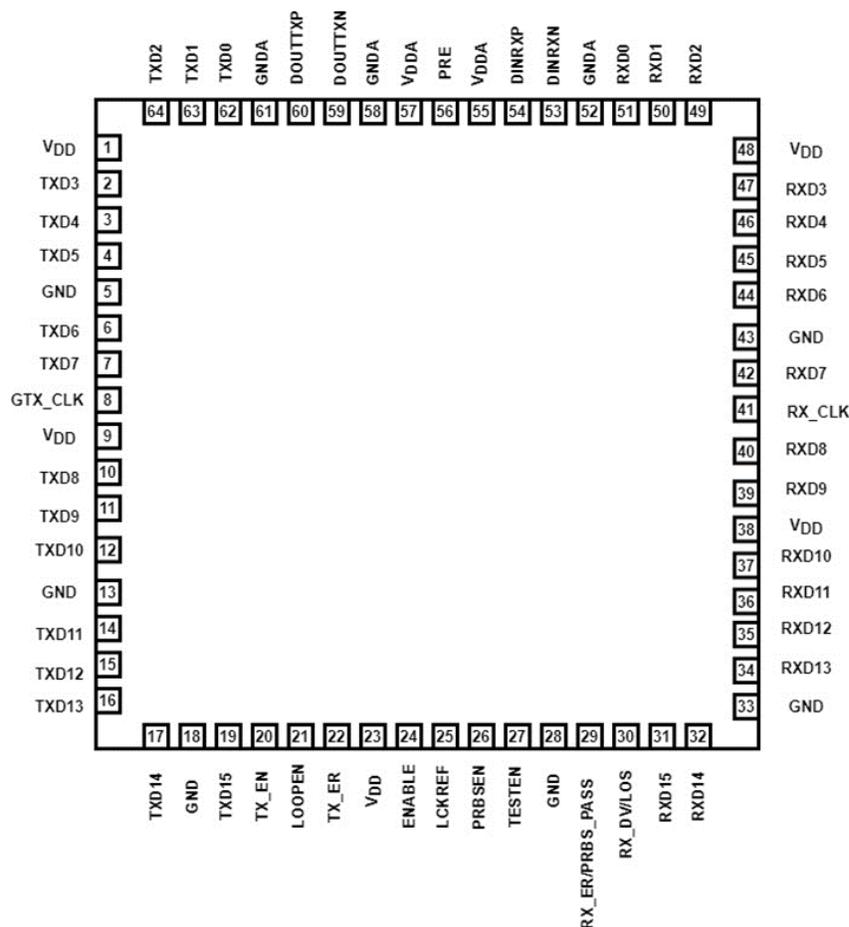


图 15 SC5103 管脚（焊盘）配置

表 9 SC5103 管脚定义

序号	名称	I/O	功能
59 60	DOUTTXN DOUTTXP	O	串行传输输出。TXP 和 TXN 是差分串行输出，连接到铜缆或光 I/F 模块接口。这些引脚以 TXCLK 频率的 20×速率传输 NRZ 数据。当 LOOPEN 为高电平时，TXP 和 TXN 处于高阻抗状态，当 LOOPEN 为低电平时，TXP 和 TXN 处于活动状态。在上电复位期间，这些引脚为高阻态。
24	ENABLE	I	设备使能。当该引脚保持低电平时，器件处于省电模式，此时只有接收端的信号检测电路处于工作状态。当 ENABLE 被置为高电平后，收发器在复位完成后开始正常工作。
5, 13, 18, 28, 33,43,	GND		数字逻辑地。为逻辑电路、数字 I/O 缓冲器和高速模拟电路提供接地。
52,58,61,	GNDA		模拟地。为高速模拟电路（TX 和 RX）提供接地。

序号	名称	I/O	功能
25	LCKREFN	I	锁定到参考时钟。当 LCKREFN 为低电平时, 接收端时钟被频率锁定至 TXCLK。这会将设备置于仅发送模式, 因为接收端不跟踪数据。当 LCKREFN 置为低电平时, 则接收数据总线引脚 (RXD0 至 RXD15、RXCLK、RX_ER 和 RX_DV/LOS) 处于高阻态。当 LCKREFN 置为高电平时, 接收端会锁定到接收的数据流。在上电复位期间, LCKREFN 必须置为高电平状态。当 LCKREFN 置为高电平时, 接收器被锁去接收数据流且在发送使能前必须收到有效码。
21	LOOPEN	I	环回使能。当 LOOPEN 处于高电平时, 将启动内部环回功能。传输的串行数据在内部直接环回到接收器的输入端。这提供了与协议设备结合使用的自检功能。在环回测试期间, TX_P 和 TXN 输出保持在高阻态。LOOPEN 在标准工作状态期间保持低电平, 外部串行输出和输入处于工作状态。
56	PRE	I	预加重控制。选择要添加到高速串行输出驱动器的预加重等级。如果处于低位或未连接, 则添加 5% 的预加重。拉高, 添加 20% 的预加重。
26	PRBSEN	I	PRBS 测试使能。当置为高电平时, 可以在 RX_ER/PRBS_PASS 引脚上监控伪随机位流 (PRBS) 测试的结果。PRBS_PASS 上的高电平表示正在接收有效的 PRBS。
29	RX_ER/ PRBS_PASS	O	接收错误。当 RX_ER 和 RX_DV/LOS 为高时, 表示在当前接收数据总线上的某处检测到发生了错误。当 RX_ER 为置高且 RX_DV/LOS 为置低, 表示展现的是载波扩展数据。在上电复位时, RX_ER 处于高阻抗状态: 当 PRBSEN= low 时, 该终端用于指示接收错误(RX_ER)。 当 PRBSEN = high 时, 表示 PRBS 测试结果的状态 (高=通过)。
30	RX_DV/ LOS	O	接收数据有效。RX_DV/LOS 描述接收总线输出的有效恢复及解码数据。在上电复位模式时, RX_DV/LOS 为高阻。 在正常工作期间, 差分信号幅度小于 200mV。RX_DV/LOS, RX_ER 和接收数据置高为信号丢失条件。在设备下电模式, RX_DV/LOS 被置低, 表示监测到一个丢失信号。
41	RX-CLK	O	恢复时钟。RXD0~RXD9、RX_ER 和 RX_DV/LOS 被同步到 RXCLK 时钟。RXCLK 频率是恢复的串行数据速率除以 20。RXCLK 在上电复位期间保持低电平。
31, 32, 34至 37, 39, 40, 42, 44至47, 49至51	RXD15 至 RXD0	O	接收数据总线。这些输出将 16 位并行数据从收发器传输到协议设备, 并与 RXCLK 同步。该数据在 RXCLK 的上升沿有效, 如图 12 所示。这些引脚在上电复位期间处于高阻抗状态。
53,54	DINRXN DINRXP	I	串行接收端输入。RXP 和 RXN 都是来自铜质或光纤 I/F 模块的差分串行输入接口。
27	TESTEN	I	测试模式使能。此引脚应保持未连接或保持低电平。
22	TX_ER	I	发送错误编码。TX_ER 和 TX_EN 置高表示收发器在传输的当前帧产生一个错误码。当 TX_ER 为高, TX_EN 为低表示协议设备显示载波扩展数据。当 TX_ER 为低, TX_EN 为高表示正常数据。
20	TX_EN	I	发送使能。 TX_EN 和 TX_ER 结合使用表示协议设备在传输数据总线上呈现数据以供传输。TX_EN 必须拉高在第一个有效数据到来之前, 并且在之后传输有效数据的同时都必须维持高电平。
8	TX_CLK GTX.CLK	I	参考时钟。TXCLK 是一个连续的外部输入时钟, 用于同步发送端接口信号 TX_EN、TX_ER 和 TXD0~TXD15。TXCLK 的频率范围为 30 至 75MHz。发送端使用此时钟的上升沿来锁存 16 位输入数据 TXD0 到 TXD15 以进行串行化。
62至64	TXD0 至 TXD2	I	

序号	名称	I/O	功能
2至4,6,7,10至12,14至17,19	TXD3 至 TXD15	I	传输数据总线。这些输入将 16 位并行数据输出从协议设备传送到收发器，以进行编码、序列化 and 传输。该 16 位并行数据以 TXCLK 的上升沿接收进收发器，如图 11 所示。
1,9,23,38,48	VDD		数字逻辑电源。为所有数字电路和数字 I/O 缓冲器供电。
55,57	VDDA		模拟电源。VDDA 为高速模拟电路、接收器和发送器提供电源参考。

应用

SC5103 可以作为具有发送/接收功能的双向传输功能，或者链路的每一端仅发送或仅接收。

在任何一种情况下，发送端始终处于运行状态，因为需要 GTX_CLK 来给 PLL 提供参考时钟。在仅发送的情况下，可以将 LCKREFN 拉低以禁用接收端接口。

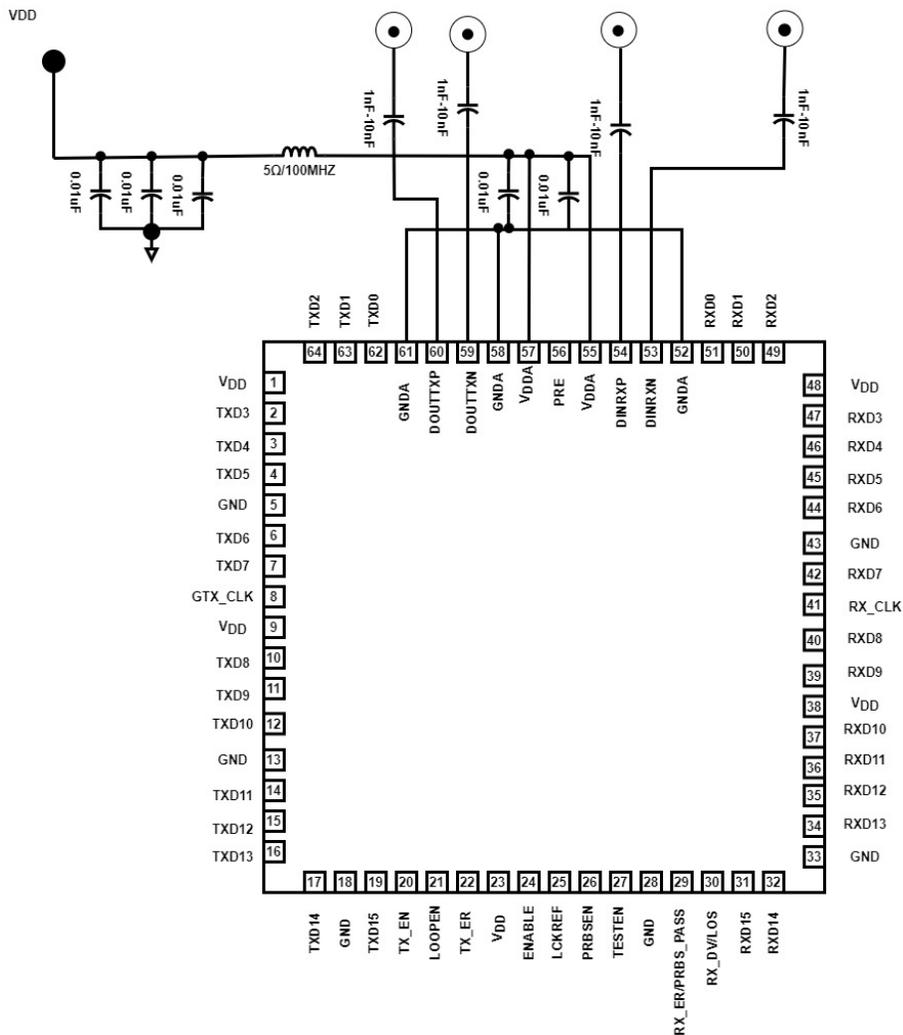


图 16 外部组件互连

高速 I/O 直接耦合模式

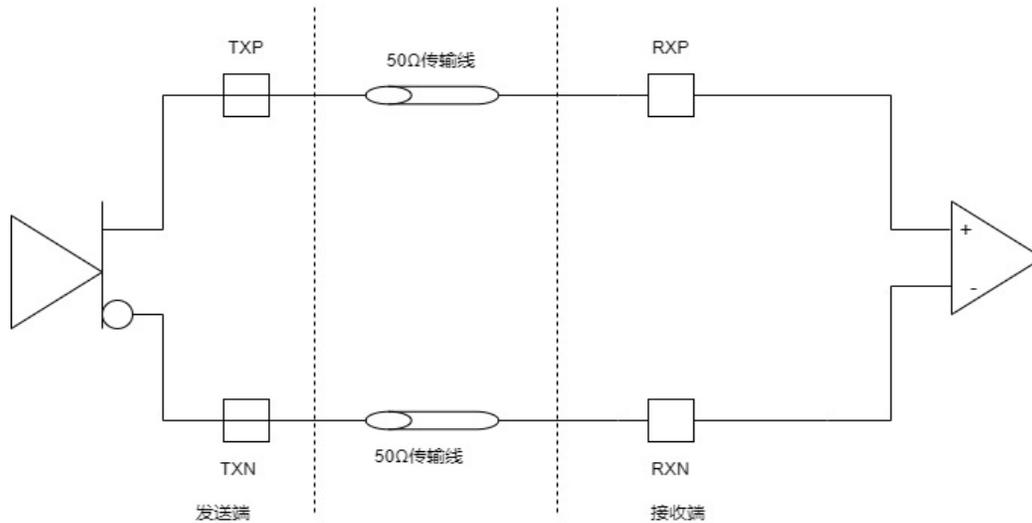


图 17 高速 I/O 直接耦合模式原理图

高速 I/O 交流耦合模式

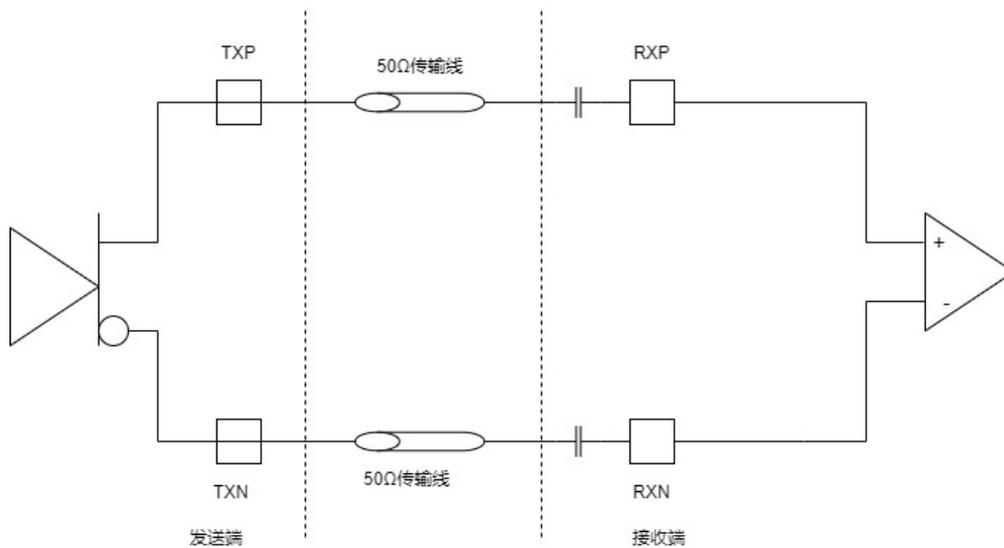


图 18 高速 I/O 交流耦合模式原理图

设计要求

数据手册中的输入条件，是基于实现 $1E-12$ 或更高的误码率（BER）条件下建立和验证的。影响 BER 的其他方面包括电源噪声、传输损耗以及发送和接收差分引脚的 50Ω 受控阻抗的匹配。

详细设计流程

详细的设计过程涉及仔细检查系统属性、设计和误码率目标。了解这些属性可以建立抖动预算，以确保实现设计 BER 目标。

电源要求

电源必须在建议的操作范围内，电源纹波超过 100mV 可能会影响传输抖动和接收器抖动容限。VDDA 应从 VDD 中筛选出。应将筛选器值设置为最小化电源和（或）数字逻辑。该数字逻辑存在于一个范围特性的系统中。PLL 对 300 kHz 至 3 MHz 范围内的噪声敏感

TX 输出眼图

DataRate=1.5Gbps,EW=0.9UI, EH=2.1Vdpp

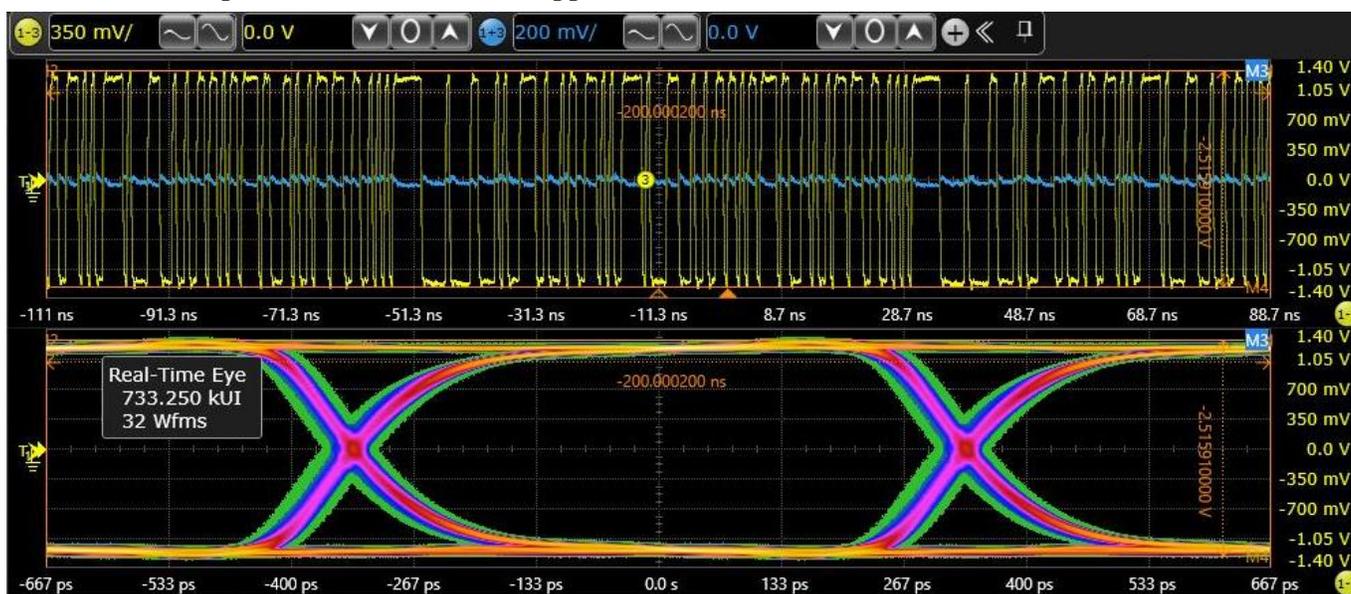
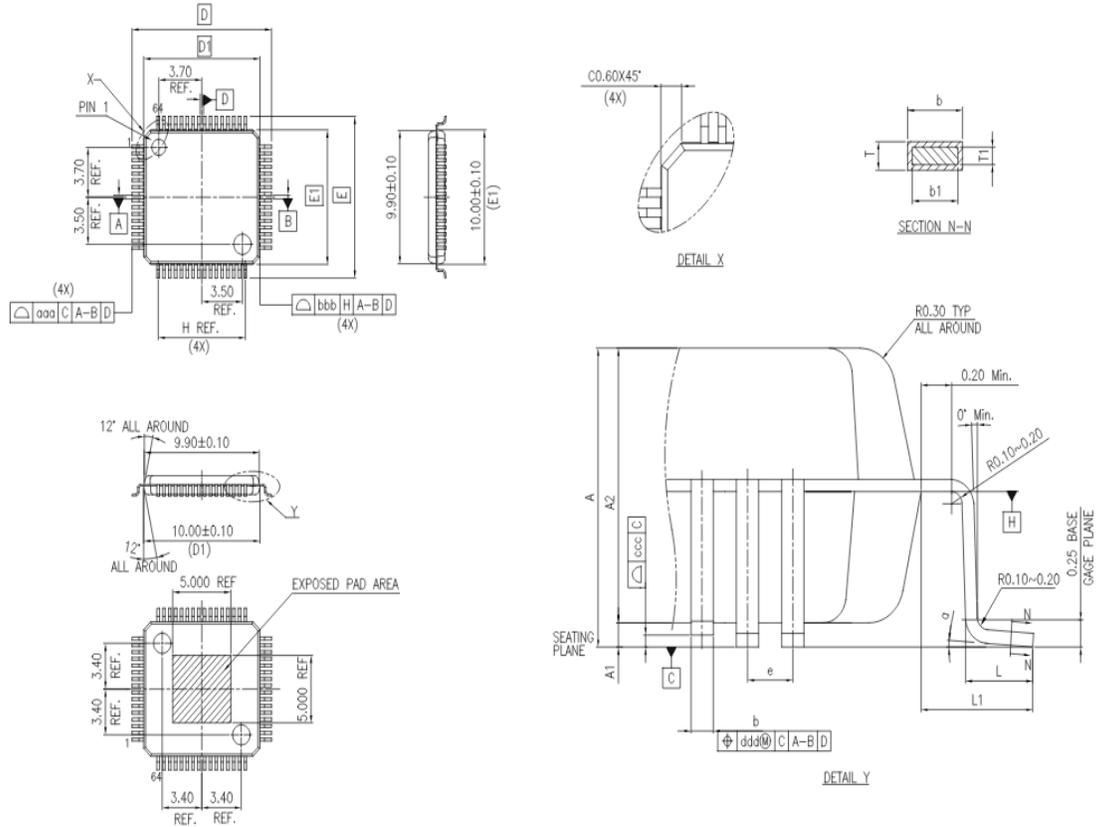


图 19 TX 输出眼图

外形尺寸



DIMENSION LIST (FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.10±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	12.00±0.20	LEAD TIP TO TIP
5	D1	10.00±0.10	PKG LENGTH
6	E	12.00±0.20	LEAD TIP TO TIP
7	E1	10.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF.	LEAD LENGTH
10	T	0.15 ^{+0.05} / _{-0.02}	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.05	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H (REF.)	(7.50)	CUM. LEAD PITCH
17	aaa	0.20	PROFILE OF LEAD TIPS
18	bbb	0.20	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

NOTES :

S/N	DESCRIPTION	SPECIFICATION
1	GENERAL TOLERANCE.	DISTANCE ±0.10
		ANGLE ±2.5°
2	MATTE FINISH ON PACKAGE BODY SURFACE EXPECT EJECTION AND PIN 1 MARKING.	Ra0.8~2.0um
3	ALL MOLDED BODY SHARP CORNER RADII UNLESS OTHERWISE SPECIFIED.	MAX. R0.20
4	PACKAGE/LEADFRAME MISALIGNMENT (X, Y):	MAX. 0.127
5	TOP/BTM PACKAGE MISALIGNMENT (X, Y):	MAX. 0.127
6	DRAWING DOES NOT INCLUDE PLASTIC OR METAL PROTRUSION OR CUTTING BURR.	
7	COMPLIANT TO JEDEC STANDARD:	MS-026

图 20 封装尺寸图

订购信息

表 10 订购信息

物料编号	温度范围	封装类型	包装形式
SC5103GCNUMY	-40°C-85°C	QFP64	Tape & Reel

根据客户需求可以定制封装

声明

上述资料仅供参考使用，用于协助芯炽客户进行设计与研发。芯炽有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。