

# SC5101 1.6Gbps 至 3.2Gbps 收发器

## 主要性能

- 1.6Gbps 至 3.2Gbps (千兆比特/秒) 串并/并串转换器
- 热插拔保护
- 低功耗操作
- 串行输出提供可编程预加重等级
- 连接到背板、铜电缆或光学转换器的接口
- 片上 8 位/10 位编码/解码、K 码检测
- 片上 PLL 利用低速参考频率合成时钟
- 低功耗: < 500mW
- 并行数据输入信号上提供 3V 耐压
- 16 位并行可兼容 TTL 的数据接口
- 信号丢失 (LOS) 检测
- RX 侧集成 50Ω 终端电阻
- QFP64 封装

## 应用场合

- 点对点高速 I/O
- 数据采集
- 数据处理

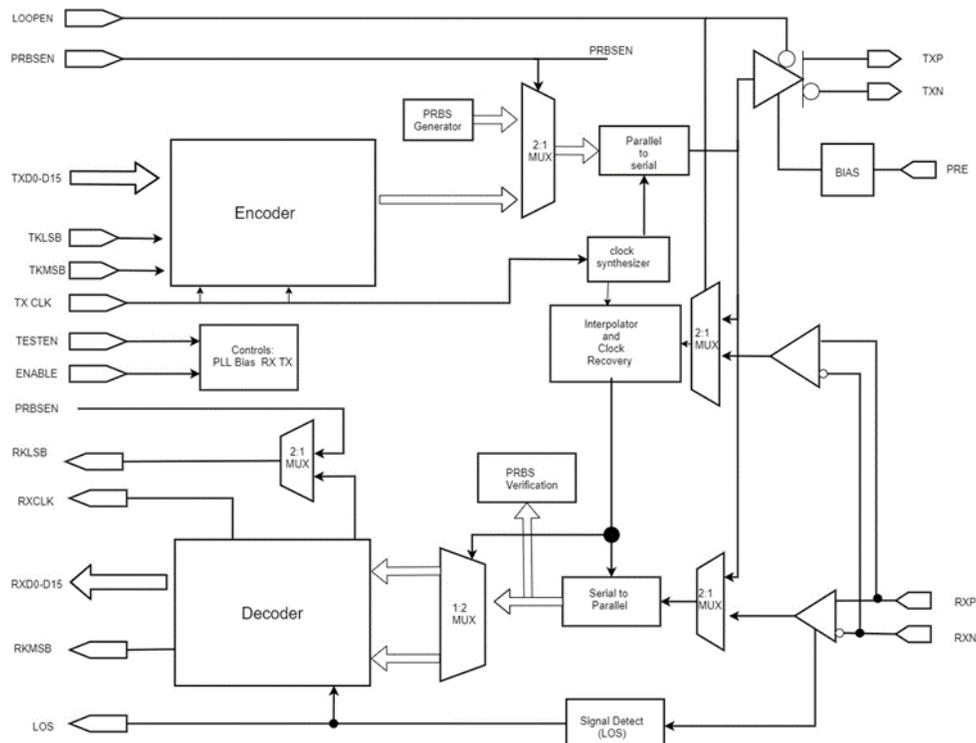


图 1 芯片模块示意

## 目录

主要性能.....	1
应用场合.....	1
产品概况.....	4
发送端接口.....	4
发送端数据总线.....	4
数据传输延迟.....	4
8 B/10 B 编码器.....	5
伪随机序列 (PRBS) 生成器.....	5
高速数据输出.....	6
接收端接口.....	6
接收端数据总线.....	6
数据接收延迟.....	7
串并转换.....	7
comma 检测和 8 B/10 B 解码.....	7
LOS 信号丢失检测.....	8
PRBS 验证.....	9
参考时钟输入.....	9
工作频率范围.....	9
可测试性.....	9
环回测试.....	9
BIST.....	9
上电复位.....	9
技术规格.....	11
静电放电额定值.....	11
TTL 输入电特性.....	11
发射/接收电特性.....	11
参考时钟 (TXCLK) 时序要求.....	12
极限参数.....	14
ESD 保护.....	14
管脚(焊盘)配置及功能说明.....	15
功能模式.....	18
关闭模式.....	18
高速 I/O 直接耦合模式.....	18
高速 I/O 交流耦合模式.....	18
应用.....	19
设计要求.....	19
详细设计流程.....	19
电源要求.....	20
TX 输出眼图.....	20
外形尺寸.....	21
订购信息.....	21

声明.....23

## 产品概况

SC5101 用于超高速双向点对点数据传输系统。SC5101 支持 1.6 Gbps 至 3.2 Gbps 的有效串行接口速度，提供高达 3.2Gbps 的数据带宽。SC5101 是高速背板互连和点对点数据链路的理想之选。

以下各节介绍 SC5101 收发器的逐块特性和操作。

### 发送端接口

发送端接口在 TXCLK 的上升沿上接收 16 位宽数据 (TXD0 至 TXD15)。然后，数据通过差分高速 I/O 通道进行 8 位/10 位编码、串行化，再通过高速差分信道顺序发送。时钟倍频器将参考时钟频率 (TXCLK) 乘以 10 倍，从而得到一个位时钟。该内部位时钟被用于并行至串行移位寄存器，并同时在位时钟的上升沿和下降沿传输数据，从而提供参考时钟频率 20 倍的串行数据率。数据的最低有效位被优先发送 (LSB) (TXD0)。

### 发送端数据总线

发送端数据总线接口在 TXD0 - TXD15 引脚上接收 16 位单端 TTL 并行数据。数据和 K-code 控制在 TXCLK 的上升沿有效。TXCLK 用作字时钟。数据、K-code 和时钟信号必须正确对齐，如图 2 所示。

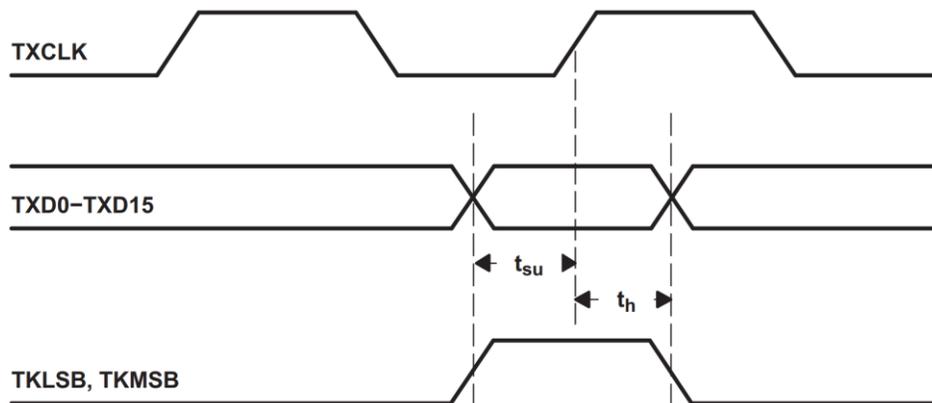


图 2 发送时序图

### 数据传输延迟

SC5101 的数据传输延迟定义为，从初始 16 位字负载到开始串行传输第 0 位比特的延迟。链路建立后，传输延迟是固定的。然而，由于硅工艺的变化和应用环境（如电源电压和温度），确切的延迟略有不同。最小传输延迟  $t_{d(Tx\ latency)}$  为 34 比特；最大值为 38 比特。图 3 显示了发送端数据总线、TXCLK 和串行发送端引脚之间的时序关系。

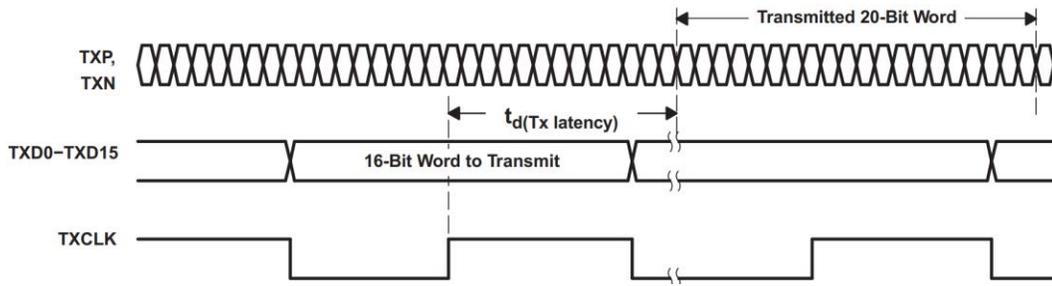


图 3 发送机延迟

## 8 B/10 B 编码器

所有串行接口都需要一种编码方式来确保最小的转换密度，以保证接收端锁相环（PLL）收到所需的最少转换次数以保持锁定。8B/10B 编码算法通过保持数据流中 1 和 0 的数量相同来保持信号直流平衡。这为时钟恢复提供了良好的转换密度，并改进了错误检查方式。SC5101 使用的 8B/10B 编码算法常用于光纤通信和千兆以太网。SC5101 在内部对数据进行编码和解码，以使用户读取和写入实际的 16 位数据，数据对用户是公开的。

8B/10B 编码器将 8 比特数据转换为 10 比特编码数据字符，以改善其传输特性。由于 SC5101 是 16 比特位宽的接口，因此数据被拆分为两个 8 比特的字节进行编码。每个字节都传送到一个单独的编码器中。编码方式依赖于两个额外的输入信号，即 TKMSB 和 TKLSB。

表 1 传输数据控制表

TKLSB	TKMSB	16 位并行输入	
0	0	TXD0 到 TXD7 上的有效数据	TXD8 到 TXD15 上的有效数据
0	1	TXD0 到 TXD7 上的有效数据	TXD8 到 TXD15 上的 K 码
1	0	TXD0 至 TXD7 上的 K 码	TXD8 到 TXD15 上的有效数据
1	1	TXD0 至 TXD7 上的 K 码	TXD8 到 TXD15 上的 K 码

## 伪随机序列（PRBS）生成器

SC5101 具有内置的  $2^7-1$  PRBS 功能。当 PRBSEN 引脚为高电平时，PRBS 测试模式生效。生成 PRBS 并将其发送到 10 比特并串转换器的输入寄存器中。在 PRBS 模式下，将忽略来自普通输入源的数据。然后，PRBS 数据如正常数据一样通过发送端口传输出去。输出数据可以发送到误码率测试仪（BERT），或另一个 SC5101 的接收端，或环回至接收端。由于 PRBS 不是真正的随机，而是 1 和 0 的预定序列，因此可以通过 BERT 捕获以及检查数据是否存在错误。

并串转换器从两个并行的 8B/10B 编码器得出 20 比特的数据字，并将其转换为串行数据流。移位寄存器在内部时钟的上升沿和下降沿工作，该时钟为 TXCLK 输入频率的 10 倍。优先传输 LSB（TXD0）数据。

高速数据输出

高速数据输出驱动器由一个电压模式逻辑 (VML) 差分对组成, 该差分对针对 50Ω 阻抗环境进行了优化。当交流耦合时, 差分对信号摆幅的大小与伪发射极耦合逻辑 (PECL) 电平兼容。线路可以直接耦合或交流耦合。有关终端详细信息, 请参见图 9 和图 10。输出还提供预加重功能, 以补偿线缆或 PCB 背板走线距离过长时的交流损耗 (见图 4)。预加重电平大小由 PRE 引脚控制 (见表 2)。

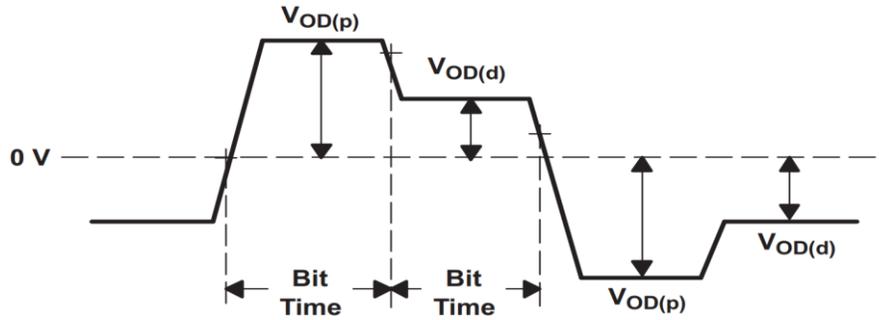


图 4 预加压下的输出电压(VTXP 至 VTXN)

表 2 可编程预加重

PRE	预加重级别(%) V <sub>OD(P)</sub> , V <sub>OD(D)</sub>
0	5%
1	20%

接收端接口

SC5101 的接收端接收 8B/10B 编码后的差分串行数据。插值器和时钟恢复电路锁定到输入数据流并提取接收时钟。此时钟用于对输入数据流重新定时。然后, 串行数据对齐到两个单独的 10 比特边界, 经过 8B/10B 解码, 在 16 比特的并行总线上输出, 并与提取的接收时钟同步。优先接收 LSB (RXD0) 数据。

接收端数据总线

接收端总线接口驱动 RXD0 至 RXD15 引脚上的 16 比特单端 TTL 并行数据。数据在 RXCLK 的上升沿有效。RXCLK 用于恢复有效数据。数据、RKLSB、RKMSB 和时钟信号是对齐的, 如图 5 所示。详细的时序信息可在 TTL 输出开关特性表中找到。

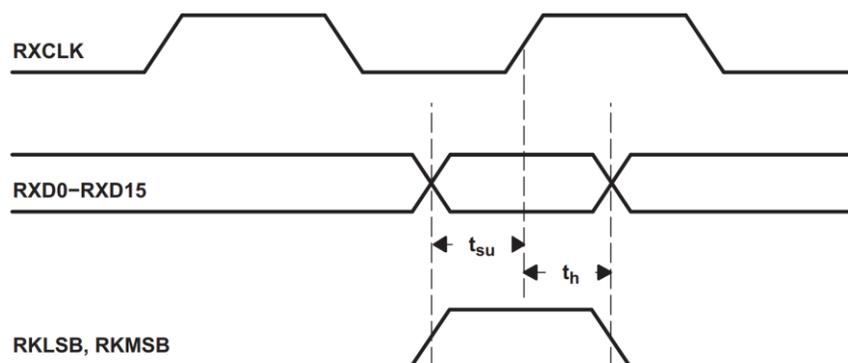


图 5 接收时序图

### 数据接收延迟

串并转换数据接收延迟是指从第一位到达接收器的时间到对齐并行输出数据的时间。建立链路后，接收延迟将固定。然而，由于硅工艺的变化和应用环境（如电源电压和温度），确切的延迟略有不同。最小接收延迟  $t_{d(Rx\ latency)}$  为 76 比特的时间；最大值为 107 比特的时间。图 6 显示了串行接收引脚、恢复时钟（RXCLK）和接收数据总线之间的时序关系。

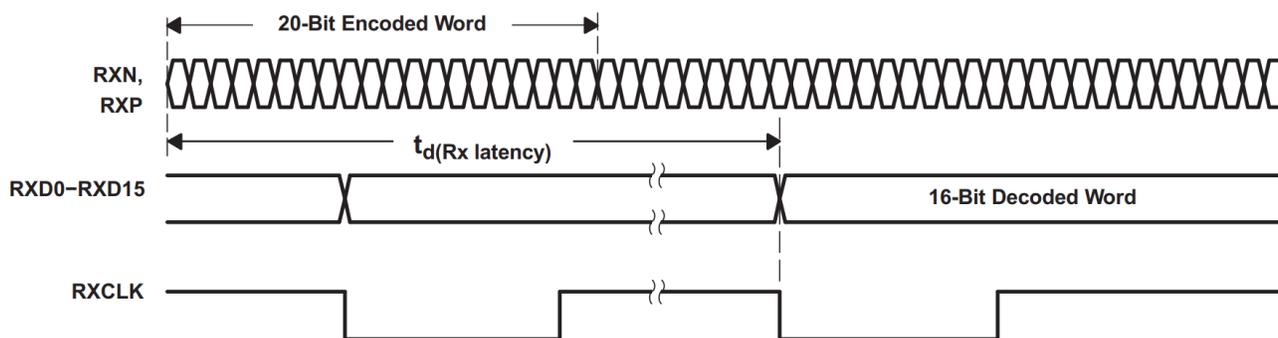


图 6 数据接收延迟时序图

### 串并转换

串行数据在 RXP 和 RXN 引脚上被接收。如果待恢复的时钟在已生成的内部比特率时钟的 200 PPM 范围以内，插值器和时钟恢复电路将锁定到输入数据流。恢复出来的时钟用于对输入数据流重定时。串行数据随后被送入串并转换器，并通过检测 comma 来对齐两个解码器的字边界，进而将 10 比特的并行数据分别送到两个 8B/10B 解码器中。

### comma 检测和 8 B/10 B 解码

SC5101 具有两个并行 8B/10B 解码电路。每个 8B/10B 解码器将 10 位编码数据（20 比特接收数据的一半）转换回 8 比特。comma 检测电路用于将 8B/10B 传输数据的字符同步。并行数据在

并串转换的过程中，并行数据的字符边界会丢失。当串行数据被接收并再次转换为并行格式时，需要识别字符边界。通常使用同步码来实现。这是由 1 和 0 组成的唯一序列，它既不会出现在有效数据中，也不会重复出现。8 位/10 位编码包含一个称为 comma (b0011111 或 b1100000) 的字符，SC5101 上的 comma 检测电路使用该字符将接收到的串行数据与原始字符做边界对齐。解码器检测 comma，生成同步信号，并将数据与其 10 比特边界对齐以进行解码;将 comma 映射到 LSB 中。然后，解码器将数据转换回 8 比特。两个解码器的输出被锁存到 16 位寄存器中，该寄存器与 RXCLK 同步，输出在 RXCLK 的上升沿有效。

解码提供两个额外的状态信号，RKLSB 和 RKMSB。当 RKLSB 有效时，表示数据位 RXD0 到 RXD7 上接收到 8B/10B K 码;否则，表示收到 8B/10B D 码。当 RKMSB 有效时，表示在数据位 RXD8 到 RXD15 上接收到一个 8B/10B K 码；否则，表示收到 8B/10B D 码（请参阅表 3）。K 码解码如表 4 所示。在任意字符（包括表 4 中未包含的 K 码）出错都会导致 RKxSB 及相关数据引脚上显示 K0.0 码，而 K0.0 码是无效的 8B/10B 码字。输入信号的丢失会导致 K31.7 码字同时出现在两个字符上，同时 K31.7 也是无效的 8B/10B 码字。

表 3 接收状态信号

RKLSB	RKMSB	解码 20 位输出	
0	0	RXD0 到 RXD7 上的有效数据	RXD8 到 RXD15 上的有效数据
0	1	RXD0 到 RXD7 上的有效数据	RXD8 到 RXD15 上的 K code
1	0	RXD0 至 RXD7 上的 K code	RXD8 到 RXD15 上的有效数据
1	1	RXD0 至 RXD7 上的 K code	RXD8 到 RXD15 上的 K code

表 4 有效的 K 码

K 码	接收数据总线 RXD7:RXD0 或 RXD15:RXD8
K28.0	000 11100
K28.1	001 11100
K28.2	010 11100
K28.3	011 11100
K28.4	100 11100
K28.5	101 11100
K28.6	110 11100
K28.7	111 11100
K23.7	111 10111
K27.7	111 11011
K29.7	111 11101
K30.7	111 11110

LOS 信号丢失检测

SC5101 具有 LOS 检测电路，用于表明输入信号不再具有足够的幅值使得时钟恢复电路保持锁定。信号检测电路旨在粗略地反映信号出错的情形，例如拔掉电缆或没有信号被传输，而不表

示信号编码是否正常。在 LOS 情况下，SC5101 的 RKLSB、RKMSB 和 RXD0 至 RXD15 引脚被拉高。只要差分信号的差分幅度超过 200mV，LOS 电路就不会出现错误信号。当设备被禁用（ENABLE=L）时，RKMSB 将输出 LOS 的状态。低电平有效表示检测到 LOS。

## PRBS 验证

SC5101 接收端还具有由 PRBSEN 控制的内置 BERT 功能。当 RKLSB 引脚为低时，会检测并报告错误。

## 参考时钟输入

参考时钟（TXCLK）是一个外部输入时钟，用于同步发送端接口。然后，参考时钟频率乘 10 倍，产生内部串行时钟。内部串行时钟的频率锁定在参考时钟的 10 倍，其上升沿和下降沿都被用于传输串行数据，从而提供 20 倍参考时钟的串行数据速率。

## 工作频率范围

SC5101 可以在 1.6 至 3.2 Gbps 的串行数据速率下工作。要实现这些串行速率，TXCLK 必须在 80 至 160MHz 之间。TXCLK 必须在所需并行数据速率时钟的  $\pm 100$  PPM 范围内。

## 可测试性

SC5101 具有一套完整的内置自检功能。通过环回功能，可对电路的发送/接收部分进行高速测试。使能引脚可以禁用所有电路，以便进行静态电流测试。PRBS 功能可在内置自检（BIST）启用。

## 环回测试

收发器可以通过启用（LOOPEN）内部环回路径来提供自检功能。将该引脚置高，会让串行传输的数据通过内部电路环回至接收端。并行输出数据可与并行输入数据进行比较，以进行功能验证。在环回测试期间，外部差分输出保持在高阻抗状态。

## BIST

SC5101 具有 BIST 功能。通过将 PRBS 与环回相结合，可以实现运行在最高速率的电路自检。在 RKLSB 引脚上会指示 BIST 是否成功完成。

## 上电复位

在给 SC5101 提供满足工作条件的最低电压和 GTX\_CLK 后，将使能信号置高（ENABLE=HIGH），SC5101 将进入上电复位状态。在上电复位期间，RXD0 至 RXD15、RKLSB 和 RKMSB 信号引脚进入高阻状态，RXCLK 保持为低电平。上电复位期间，需让接收端收到有效数据，同时保持 LCKREFN 为无效（逻辑高电平状态）。可以通过在 RXP/N 上传输数

据或启用 LOOPEN，来使接收端收到有效数据。对于仅发送数据的应用，LOOPEN 和 LCKREFN 可以都设为逻辑高电平。上电复位完成后，对于仅发送数据的应用，需要将 LCKREFN 置为有效。上电复位周期的长度取决于 TXCLK 频率，但小于 1 ms。请参见图 7。建议在上电后立即复位接收端。

如果 LCKREFN 在整个上电复位周期内无法被置为高电平，则可在上电复位周期结束时或之后，并在接收端上传有效数据 1 μs 后置为高电平以正确完成接收端的复位。

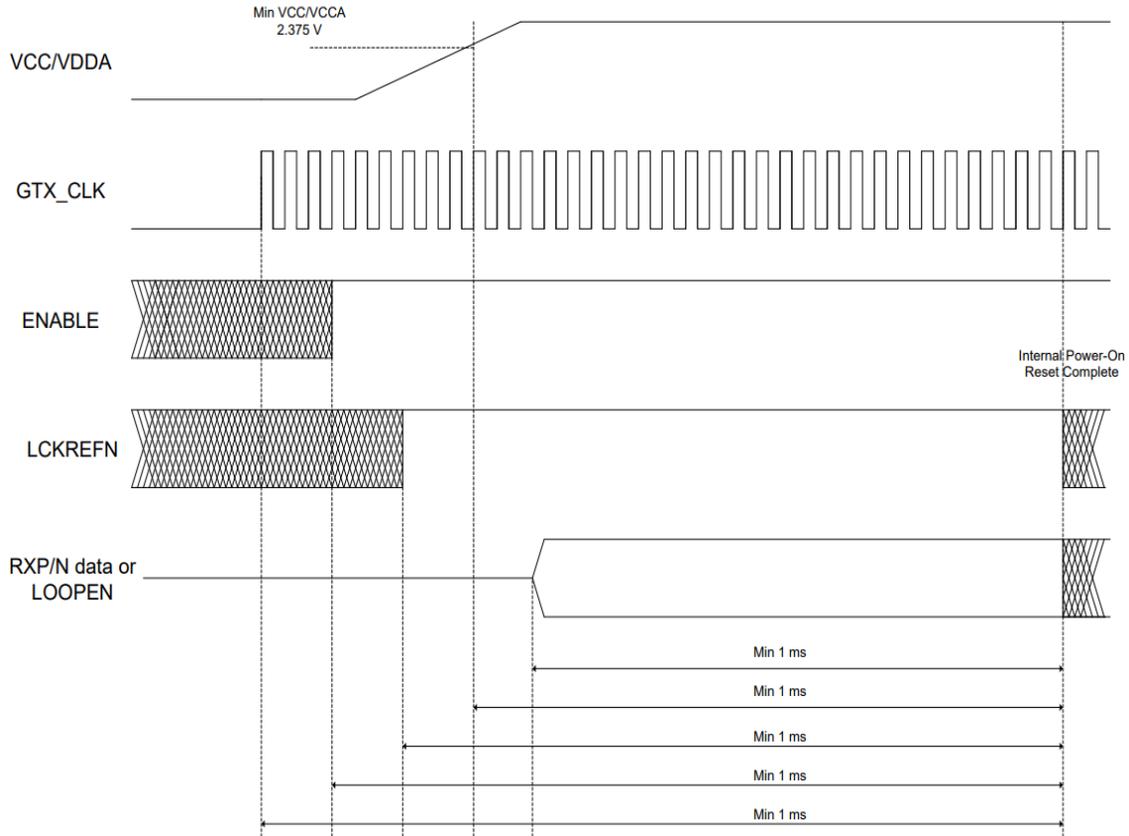


图 7 上电/复位时序图

## 技术规格

### 静电放电额定值

$$V_{(ESD)}:\pm 2000V$$

### TTL 输入电特性

除非另有说明, TTL 信号: TXD0–TXD15, TXCLK, LOOPEN, LCKREFN, ENABLE, PRBS\_EN, TKLSB, TKMSB, PRE。

表 5 TTL 输入电气特性

参数	条件	最小值	典型值	最大值	单位
输入高电平 ( $V_{IH}$ )	如图 8		2.5	3.6	V
输入低电平 ( $V_{IL}$ )	如图 8			0.8	V
输入电流高 $I_{IH}$	$V_{DD}$ =最大值, $V_{IN}$ =2V			40	$\mu A$
输入电流低 $I_{IL}$	$V_{DD}$ =最大值, $V_{IN}$ =0.4 V	-40			$\mu A$
$C_I$			4		pF
$t_r$	0.7 to 1.9 V, C = 5 pF, 如图 8		1		ns
$t_f$	1.9 至 0.7 V, C = 5 pF 如图 8		1		ns
$t_{su}$	如图 8	1.5			ns
$t_h$	如图 8	1.5			ns

### 发射/接收电特性

表 6 发射/接收电气特性

参数	条件	最小值	典型值	最大值	单位
差分输出峰峰值电压 ( $V_{OD(pp)}$ )	如图 9		2400		mVp-p
去加重输出电压 ( $V_{OD(d)}$ ) $V_{OD(d)}= V_{TXP}-V_{TXN} $	如图 9, PRE=high		2100		mVp-p
发射共模电压范围 ( $V_{(cmt)}$ ) $V_{(cmt)}=(V_{TXP}+V_{TXN})/2$	如图 9		1150		mV
接收器输入电压差 ( $V_{ID}$ ) $V_{ID}= V_{RXP}-V_{RXN} $		200		1600	mV
接收共模电压范围 ( $V_{(cmr)}$ ) $V_{(cmr)}=(V_{RXP}+V_{RXN})/2$			1150		mV
接收器输入漏电流 ( $I_{IKG}$ )		-10		10	$\mu A$
接收器输入电容 ( $C_I$ )				2	pF

串行数据总抖动 (峰峰值)	3.2Gbps 时差分输出抖动, 随机+确定性, PRBS 模式		0.22		UI
	2.5Gbps 时差分输出抖动, 随机+确定性, PRBS 模式		0.15		
差分输出信号上升下降 (20% 到 80%) 时间 $t_r, t_f$	$R_L = 50 \Omega, C_L = 5 \text{ pF}$ ,		150		ps

参考时钟 (TXCLK) 时序要求

表 7 参考时钟 (TXCLK) 时序要求

参数	条件	最小值	典型值	最大值	单位
频率	接收数据率/20	-100		+100	ppm
频率公差		-100		+100	ppm
占空比		40		60	%
抖动	峰峰值			40	ps

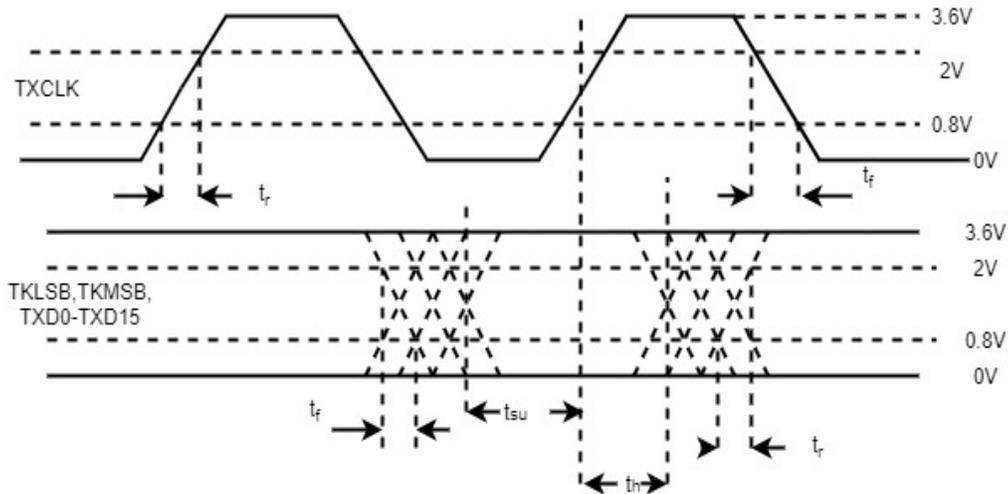


图 8 交流测量的 TTL 数据输入有效电平

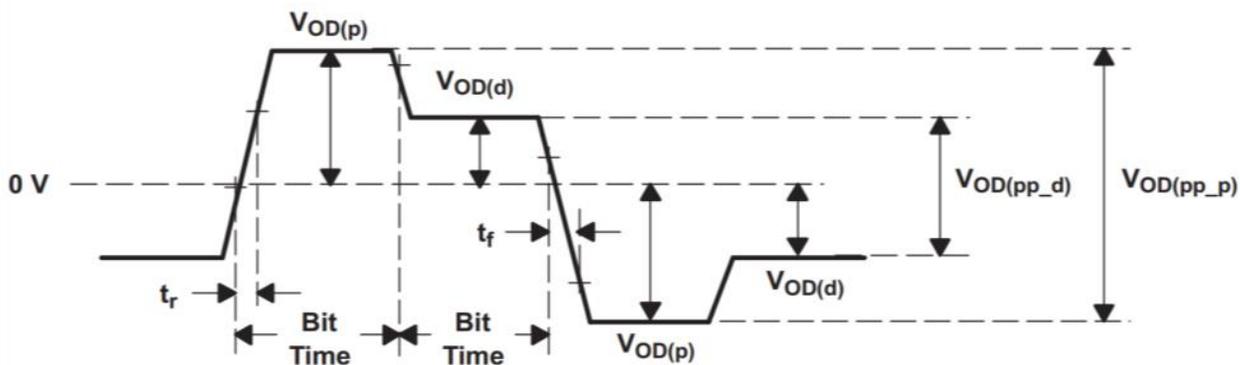


图 9 差分共模输出电压

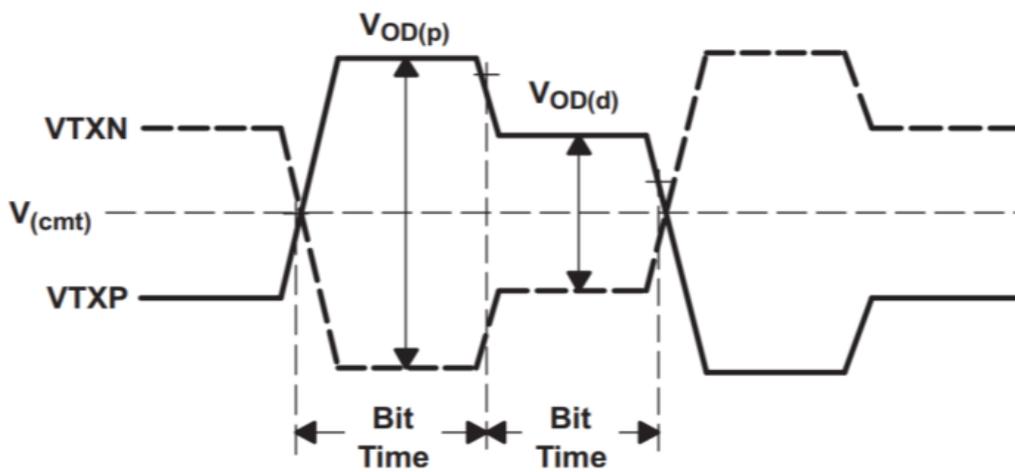


图 10 共模输出电压定义

## 极限参数

$V_{DD}$ .....	-0.3V 至 3V
电压: TXD0 至 TXD15,ENABLE,TXCLK,TKMSB,TKLSB,LOOPEN,PRBSEN, LCKREFN, PRE, TESTEN.....	-0.3V 至 4V
电压: RXD0 至 RXD15, RKMSB, RKLSB, RX_CLK.....	-0.3V 至 $V_{DD}+0.35V$
电压: DINRXP, DINRXN, DOUTTXP, DOUTTXN.....	-0.35V 至 $+V_{DDA}+0.35V$
对外部输入的无电源收发器的最大裸露时间.....	<10hours
工作温度.....	-40°C 至 85°C

对以上所列的最大极限值, 如果器件工作在超过此极限值的环境中, 很可能对器件造成永久性破坏。在实际运用中, 最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时, 要采取合适的 ESD 保护措施, 以免造成性能下降或功能失效。

## 管脚(焊盘)配置及功能说明

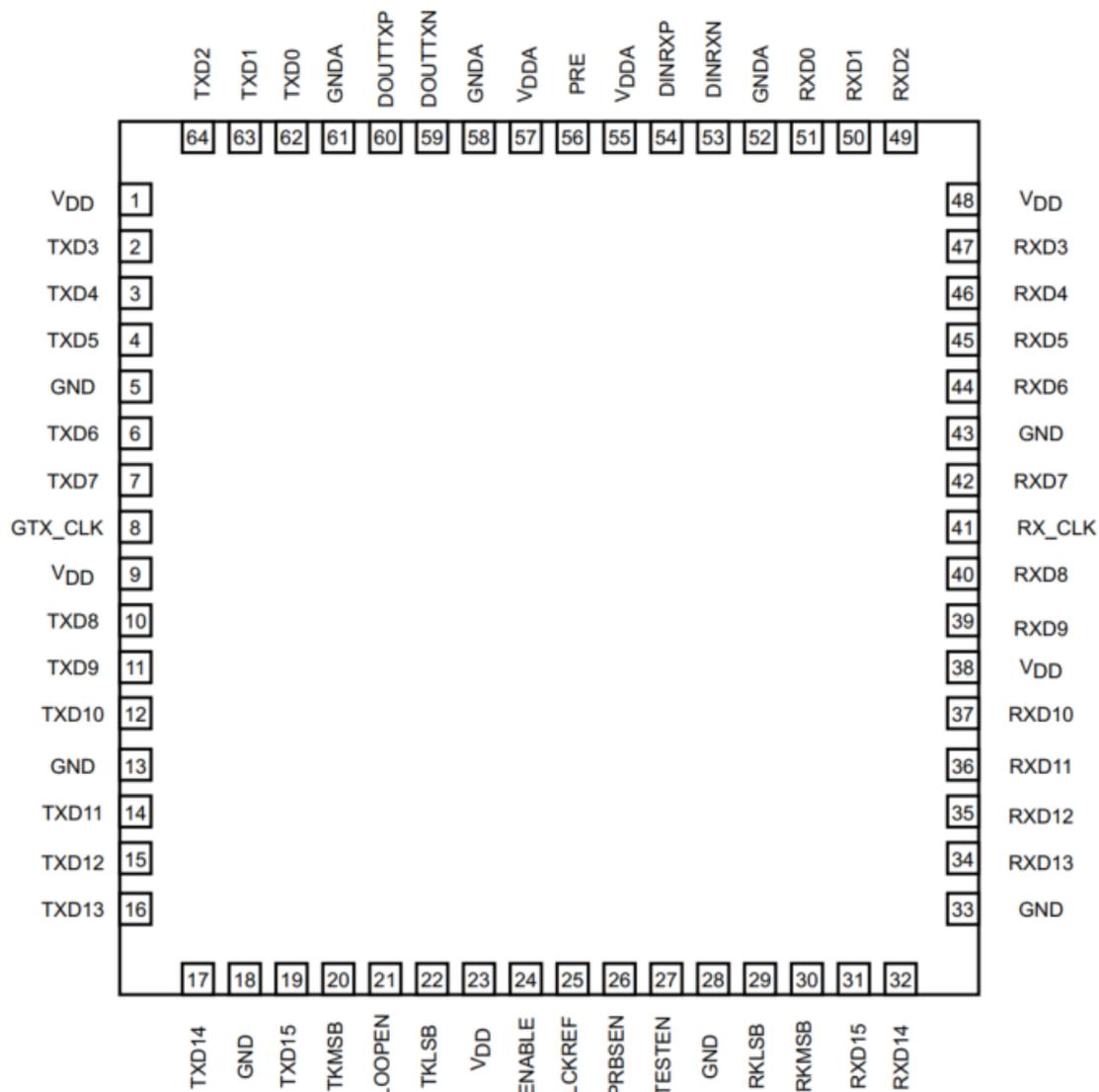


图 11 管脚（焊盘）配置

表 8 管脚定义

序号	名称	I/O	功能
59 60	DOUTTXN DOUTTXP	O	串行传输输出。TXP 和 TXN 是差分串行输出，连接到铜缆或光 I/F 模块接口。这些引脚以 TXCLK 频率的 20×速率传输 NRZ 数据。当 LOOPEN 为高电平时，TXP 和 TXN 处于高阻抗状态，当 LOOPEN 为低电平时，TXP 和 TXN 处于活动状态。在上电复位期间，这些引脚为高阻态。
24	ENABLE	I	设备使能。当该引脚保持低电平时，器件处于省电模式，此时只有接收端的信号检测电路处于工作状态，RKMSB 将输出信号检测电路（LOS）的状态。当 ENABLE 被置为高电平后，收发器在复位完成后开始正常工作。

5, 13, 18, 28, 33,43,	GND		数字逻辑地。为逻辑电路、数字 I/O 缓冲器和高速模拟电路提供接地。
52,58,61,	GNDA		模拟地。为高速模拟电路 (TX 和 RX) 提供接地。
25	LCKREFN	I	锁定到参考时钟。当 LCKREFN 为低电平时, 接收端时钟被频率锁定至 TXCLK。这会将设备置于仅发送模式, 因为接收端不跟踪数据。当 LCKREFN 置为低电平时, 如果器件使能 (ENABLE=H), 则接收数据总线引脚 (RXD0 至 RXD15、RXCLK、RKLSB 和 RKMSB) 处于高阻态。如果器件被禁用 (ENABLE=L), 则 RKMSB 将输出 LOS 检测器的状态 (低电平有效=LOS)。所有其他接收输出将保持高阻态。 当 LCKREFN 置为高电平时, 接收端会锁定到接收的数据流。在上电复位期间, LCKREFN 必须置为高电平状态。
21	LOOPEN	I	环回使能。当 LOOPEN 处于高电平时, 将启动内部环回功能。传输的串行数据在内部直接环回到接收器的输入端。这提供了与协议设备结合使用的自检功能。在环回测试期间, TX P 和 TXN 输出保持在高阻态。LOOPEN 在标准工作状态期间保持低电平, 外部串行输出和输入处于工作状态。
56	PRE	I	预加重控制。选择要添加到高速串行输出驱动器的预加重等级。如果处于低位或未连接, 则添加 5% 的预加重。拉高, 添加 20% 的预加重。
26	PRBSEN	I	PRBS 测试使能。当置为高电平时, 可以在 RKLSB 引脚上监控伪随机位流 (PRBS) 测试的结果。RKLSB 上的高电平表示正在接收有效的 PRBS。
29	RKLSB	O	K code 指示/PRBS 测试结果。当 RKLSB 置为高电平时, 表示接收到一个 8 位/10 位 K code, 并由数据位 RXD0 到 RXD7 显示。当 RKLSB 置为低电平时, 表示接收到 8 位/10 位 D code, 并在数据位 RXD0 到 RXD7 上显示。当 PRBSEN 置为高电平时, 该引脚用于指示 PRBS 测试结果的状态 (高电平=成功)。
30	RKMSB	O	K code 指示器。当 RKMSB 被置为高电平时, 表示接收到一个 8 位/10 位 K 代码, 并由数据位 RXD8 到 RXD15 指示。当 RKMSB 被置为低电平时, 表示接收到一个 8 位/10 位 D code, 并在数据位 RXD8 到 RXD15 上显示。如果 RXN 和 RXP 上的差分信号降至 200 mV 以下, 则 RXD0~RXD15、RKLSB 和 RKMSB 均被替换为高电平。当设备被禁用 (ENABLE=L) 时, RKMSB 将输出 LOS 的状态。低电平有效表示检测到 LOS。
41	RX-CLK	O	恢复时钟。RXD0~RXD9、RKLSB 和 RKMSB 被同步到 RXCLK 时钟。RXCLK 频率是恢复的串行数据速率除以 20。RXCLK 在上电复位期间保持低电平。
31, 32, 34至 37, 39, 40, 42, 44至47, 49至51	RXD15 至 RXD0	O	接收数据总线。这些输出将 16 位并行数据从收发器传输到协议设备, 并与 RXCLK 同步。该数据在 RXCLK 的上升沿有效, 如图 5 所示。这些引脚在上电复位期间处于高阻抗状态。
53,54	DINRXN DINRXP	I	串行接收端输入。RXP 和 RXN 都是来自铜质或光纤 I/F 模块的差分串行输入接口。
27	TESTEN	I	测试模式使能。此引脚应保持未连接或保持低电平。
22	TKLSB	I	K code 生成器 (LSB)。当 TKLSB 为高电平时, 8 位/10 位 K code 将由数据位 TXD0 ~ TXD7 传输。当 TKLSB 为低电平时, 8 位/10 位 D code 将由数据位 TXD0~ TXD7 传输。
20	TKMSB	I	K code 生成器 (MSB)。当 TKMSB 为高电平时, 8 位/10 位 K code 将由数据位 TXD8 ~TXD15 的传输。当 TKMSB 为低电平时, 8 位/10 位 D code 由数据位 TXD8 通过 TXD15 传输。

8	TX_CLK GTX-CLK	I	参考时钟。TXCLK 是一个连续的外部输入时钟，用于同步发射端接口信号 TKMSB、TKLSB 和 TXD0-TXD15。TXCLK 的频率范围为 80 至 160MHz。发送端使用此时钟的上升沿来锁存 16 位输入数据 TXD0 到 TXD15 以进行串行化。
62至64	TXD0 至 TXD2	I	传输数据总线。这些输入将 16 位并行数据输出从协议设备传送到收发器，以进行编码、序列化和传输。该 16 位并行数据以 TXCLK 的上升沿接收进收发器，如图 2 所示。
2至4,6,7,10至 12,14至17,19	TXD3 至 TXD15	I	
1,9,23,38,48	VDD		数字逻辑电源。为所有数字电路和数字 I/O 缓冲器供电。
55,57	VDDA		模拟电源。VDDA 为高速模拟电路、接收器和发射器提供电源参考。

## 功能模式

### 关闭模式

当使能引脚被拉低时，SC5101 进入关闭模式。在关闭模式下，串行发射引脚（TXN）、接收数据总线引脚（RXD0 至 RXD15）和 RKLSB 进入高阻抗状态。在关闭模式下，信号检测电路消耗的功率小于 15 mW。当 SC5101 处于关闭模式时，如果需要 LOS 功能，则必须提供 TXCLK 引脚上的时钟信号。

### 高速 I/O 直接耦合模式

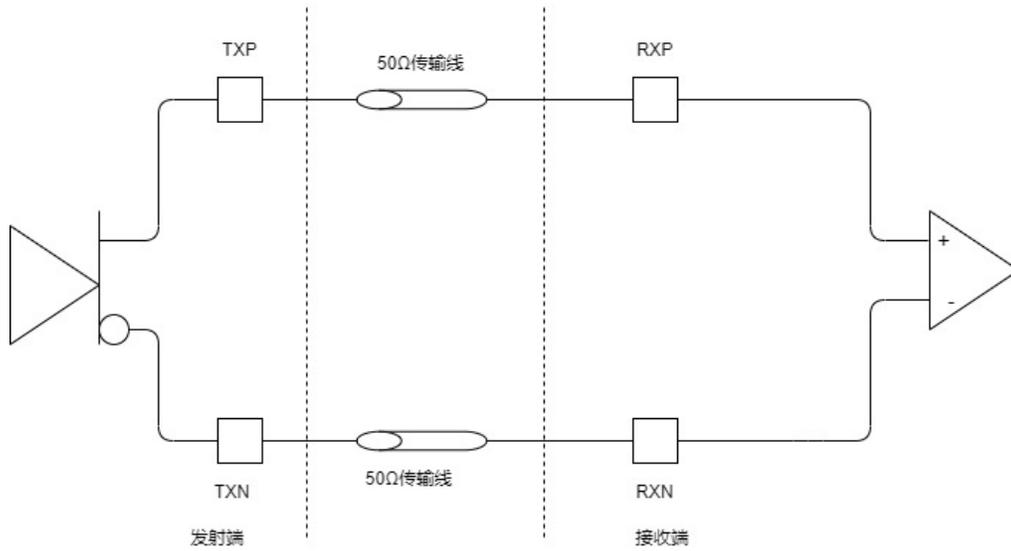


图 12 高速 I/O 直接耦合模式原理图

### 高速 I/O 交流耦合模式

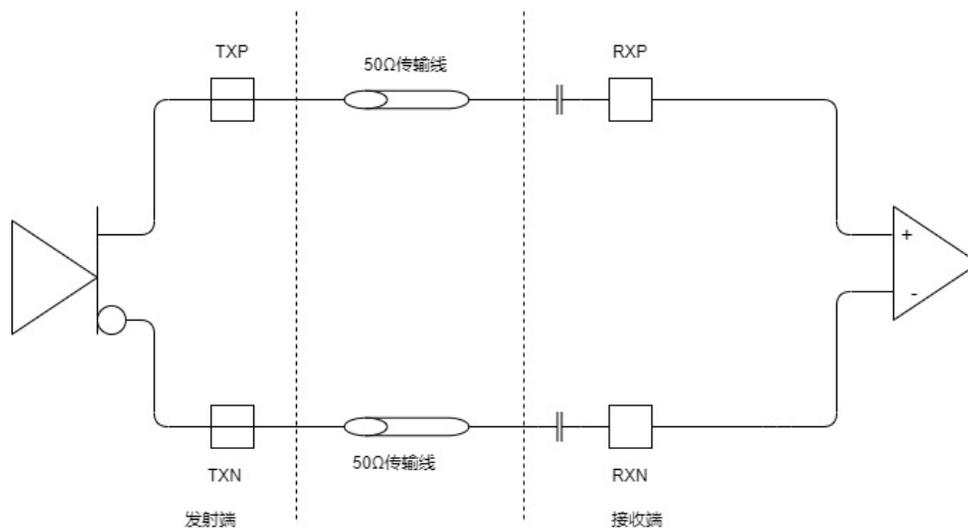


图 13 高速 I/O 交流耦合模式原理图

## 应用

SC5101 可以作为具有发送/接收功能的双向传输功能，或者链路的每一端仅发送或仅接收。

在任何一种情况下，发送端始终处于运行状态，因为需要 GTX\_CLK 来给 PLL 提供参考时钟。在仅发送的情况下，可以将 LCKREFN 拉低以禁用接收端接口。

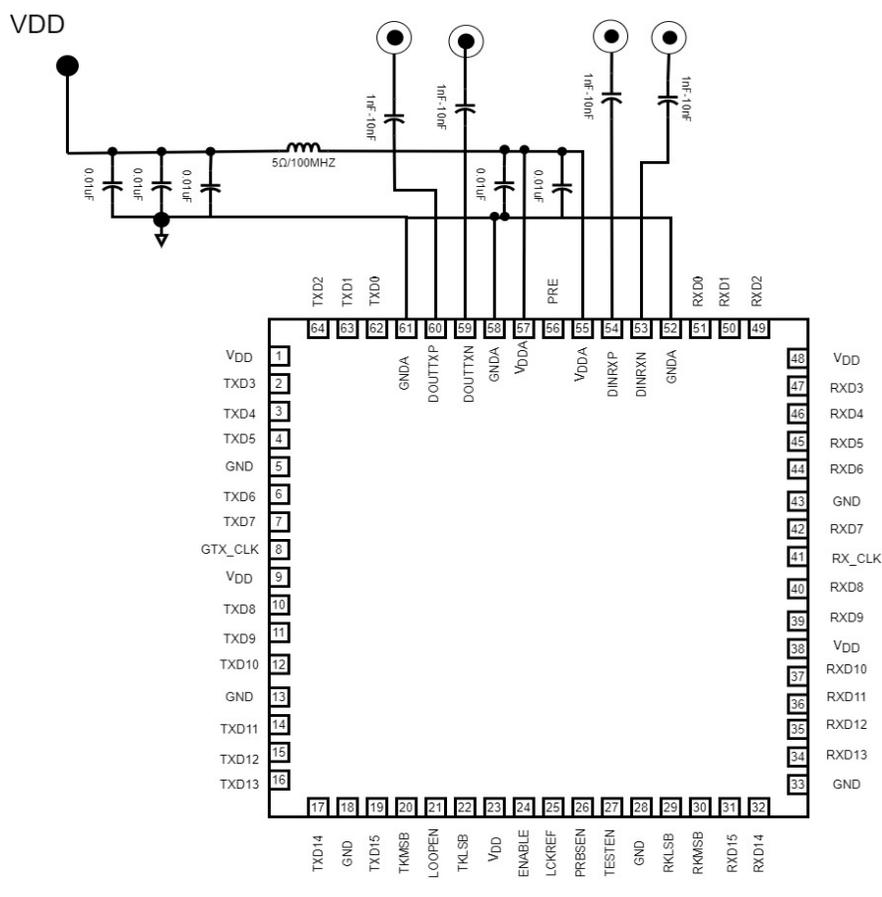


图 14 外部组件互连

## 设计要求

数据手册中的输入条件，是基于实现 1E-12 或更高的误码率（BER）条件下建立和验证的。影响 BER 的其他方面包括电源噪声、传输损耗以及发射和接收差分引脚的 50Ω 受控阻抗的匹配。

## 详细设计流程

详细的设计过程涉及仔细检查系统属性、设计和误码率目标。了解这些属性可以建立抖动预算，以确保实现设计 BER 目标。

## 电源要求

电源必须在建议的操作范围内，电源纹波超过 100mV 可能会影响传输抖动和接收器抖动容限。VDDA 应从 VDD 中筛选出。应将筛选器值设置为最小化电源和（或）数字逻辑。该数字逻辑存在于一个范围特性的系统中。PLL 对 300 kHz 至 3 MHz 范围内的噪声敏感

## TX 输出眼图

DataRate=3.2Gbps,EW=0.8UI, EH=1.8Vdpp

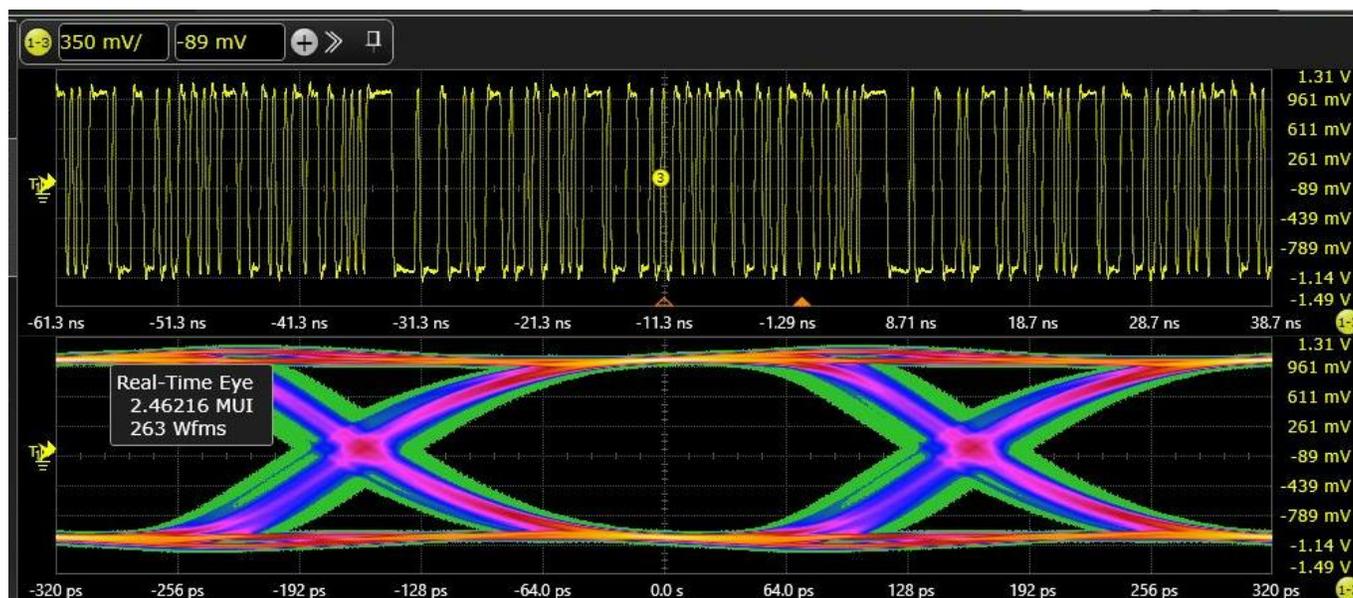
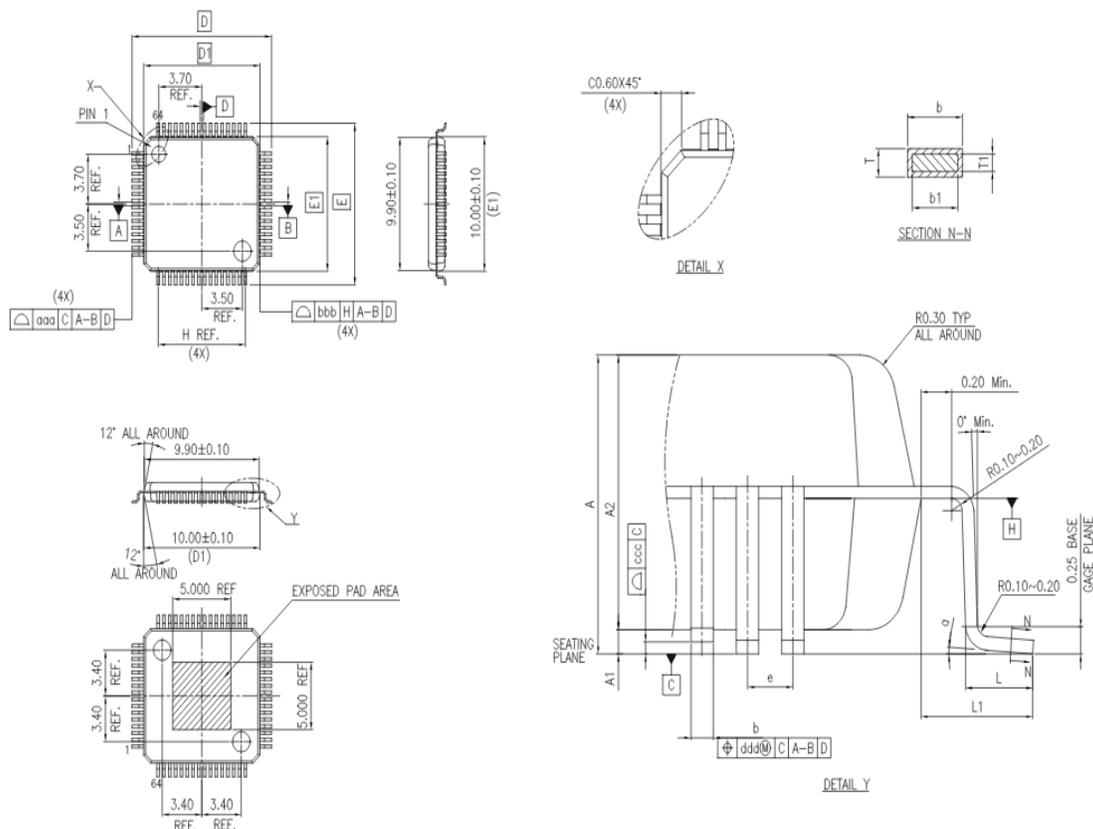


图 15 TX 输出眼图

## 外形尺寸



DIMENSION LIST ( FOOTPRINT: 2.00)

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.10±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	12.00±0.20	LEAD TIP TO TIP
5	D1	10.00±0.10	PKG LENGTH
6	E	12.00±0.20	LEAD TIP TO TIP
7	E1	10.00±0.10	PKG WIDTH
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF.	LEAD LENGTH
10	T	0.15 <sup>0.05</sup> <sub>0.08</sub>	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.05	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H (REF.)	(7.50)	CUM. LEAD PITCH
17	aaa	0.20	PROFILE OF LEAD TIPS
18	bbb	0.20	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

NOTES :

S/N	DESCRIPTION	SPECIFICATION	
1	GENERAL TOLERANCE.	DISTANCE	±0.10
		ANGLE	±2.5°
2	MATTE FINISH ON PACKAGE BODY SURFACE EXPECT EJECTION AND PIN 1 MARKING.	Ra0.8~2.0um	
3	ALL MOLDED BODY SHARP CORNER RADII UNLESS OTHERWISE SPECIFIED.	MAX. R0.20	
4	PACKAGE/LEADFRAME MISALIGNMENT ( X, Y ):	MAX. 0.127	
5	TOP/BTM PACKAGE MISALIGNMENT ( X, Y ):	MAX. 0.127	
6	DRAWING DOES NOT INCLUDE PLASTIC OR METAL PROTRUSION OR CUTTING BURR.		
7	COMPLIANT TO JEDEC STANDARD:	MS-026	

图 16 封装尺寸图

## 订购信息

上海芯焱集成电路技术有限公司所有, 未经允许, 不得外传

表 9 订购信息

物料编号	温度范围	封装类型	包装形式
SC5101GCNUMY	-40°C-85°C	QFP64	Tape & Reel

根据客户需求可以定制封装

## 声明

上述资料仅供参考使用，用于协助芯焱客户进行设计与研发。芯焱有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。