

# SC3363 双通道 16 位 500MSPS DAC

## 主要性能

- 高动态范围、双通道数模转换器 (DAC)
- 低噪声和互调失真
- 支持 NRZ 和 RZ 等多种输出模式
- LVDS 输入, 具有双端口或可选的交织单端口操作
- 差分模拟电流输出可在 8.6 mA 至 31.7 mA 满量程范围内进行编程
- 具有拉/灌功能的 10 位电流辅助 DAC
- 内部 1.2 V 精密基准电压源
- 采用 1.8 V 和 3.3 V 电源供电
- 345 mW 功耗
- 小尺寸, 符合 RoHS 标准, 72 引脚 LFCSP 封装
- 内建自校准功能

## 应用场合

- 无线基础设施  
W-CDMA, CDMA2000, TD-SCDMA, WiMAX
- 宽带通信  
LMDS/MMDS
- 点对点仪器仪表
- 射频 (RF) 信号发生器
- 任意波形发生器

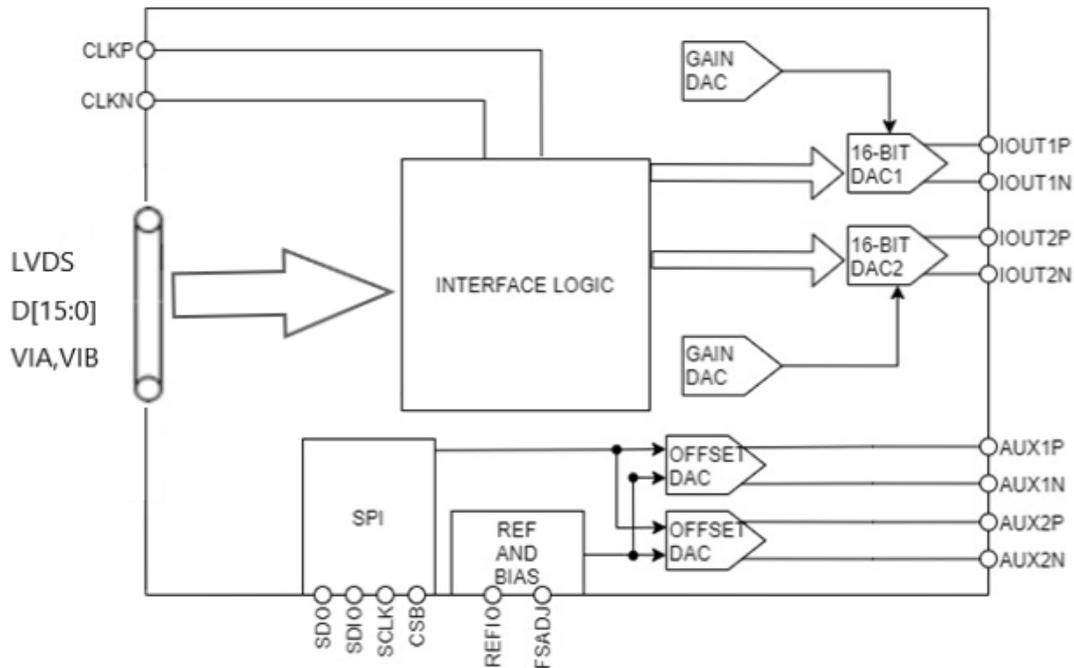


图 1 芯片模块示意图

## 目录

主要性能.....	1
应用场合.....	1
目录.....	2
产品概况.....	3
技术规格.....	4
直流特性.....	4
交流特性.....	5
数字和时序特性.....	6
极限参数.....	7
ESD 保护.....	7
引脚配置及功能说明.....	8
使用说明.....	10
SPI 端口.....	10
指令字节.....	10
MSB/LSB 传输.....	11
双端口模式时序.....	11
单端口模式时序.....	12
SPI 端口、复位和引脚模式.....	12
寄存器.....	13
外形尺寸.....	15
订购信息.....	15
声明.....	16

## 产品概况

SC3363 是 16 位高动态范围、双通道 DAC，采样速率最高可达 500 MSPS。该器件还具有增益和失调补偿功能，可与模拟正交调制器连接。

该器件不仅支持串行外设接口（SPI），还可以为没有控制器的应用提供一些引脚编程功能。

低噪声和互调失真（IMD）可实现宽带信号的高质量合成。

多种输出模式，可增强动态性能。

可编程电流输出和双辅助 DAC 提供了系统灵活性和功能增强。

## 技术规格

### 直流特性

除非另有说明,  $T_{MIN}$  至  $T_{MAX}$ ,  $AVDD33 = 3.3\text{ V}$ ,  $DVDD33 = 3.3\text{ V}$ ,  $DVDD18 = 1.8\text{ V}$ ,  $CVDD18 = 1.8\text{ V}$ ,  $I_{OUTFS} = 20\text{ mA}$  最大采样率。

表 1 电气特性-直流特性

参数	条件	最小值	典型值	最大值	单位
分辨率			16		Bits
准确性					
微分非线性(DNL)			±2		LSB
积分非线性(INL)			±4		LSB
主要 DAC 输出					
失调误差		-0.001	0	+0.001	%FSR
增益误差(内部参考)			±2		%FSR
满量程输出电流		8.66	20.2	31.66	mA
恒流输出电压范围		-1.0		+1.0	V
输出电阻			10		MΩ
保证主 DAC 的单调性					
主 DAC 温度漂移					
失调漂移		0.04	0.04	0.04	ppm/°C
增益漂移		100	100	100	ppm/°C
参考电压		30	30	30	ppm/°C
辅助 DAC 输出					
分辨率			10		Bits
满量程输出电流		-2		+2	Ma
恒流输出电压范围——灌电流		0		1.6	V
恒流输出电压范围——拉电流		0.8		1.6	V
输出电阻				1	MΩ
保证辅 DAC 的单调性					
参考					
内部参考电压			1.2		V
输出阻抗			5		KΩ
模拟电源电压					
AVDD33		3.13	3.3	3.47	V
CVDD18		1.70	1.8	1.90	V
数字电源电压					
DVDD33		3.13	3.3	3.47	V
DVDD18		1.70	1.8	1.90	V
电源电流					

参数	条件	最小值	典型值	最大值	单位
AVDD33			55	58	mA
CVDD18			34	38	mA
DVDD33			13	15	mA
DVDD18			68	85	mA
功耗					
$f_{DAC}=500\text{MSPS}, I_F=20\text{MHz}$			V*I	V*I	mW
$f_{DAC}=500\text{MSPS}, I_F=10\text{MHz}$			440		mW
关机			3	35	mW

注意: 1、基于 10 kΩ 外部电阻

2、 $f_{DAC} = 500 \text{ MSPS}$ ,  $f_{OUT} = 20 \text{ MHz}$

### 交流特性

除非另有说明,  $T_{MIN}$  至  $T_{MAX}$ ,  $AVDD33 = 3.3 \text{ V}$ ,  $DVDD33 = 3.3 \text{ V}$ ,  $DVDD18 = 1.8 \text{ V}$ ,  $CVDD18 = 1.8 \text{ V}$ ,  $I_{OUTFS} = 20 \text{ mA}$ , 最大采样率。

表 2 电气特性-交流特性

参数	条件	最小值	典型值	最大值	单位
无杂散动态范围 (SFDR)					
$f_{DAC}=500\text{MSPS}, f_{OUT}=20\text{MHz}$			80		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=120 \text{ MHz}$			68		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=380 \text{ MHz(混模)}$			62		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=480 \text{ MHz(混模)}$			59		dBc
双音互调失真(IMD)					
$f_{DAC}=500\text{MSPS}, f_{OUT}=20\text{MHz}$			86		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=120 \text{ MHz}$			79		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=380 \text{ MHz(混模)}$			64		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=480 \text{ MHz(混模)}$			66		dBc
单音噪声谱密度(NSD)					
$f_{DAC}=500\text{MSPS}, f_{OUT}=40\text{MHz}$			-165		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=120 \text{ MHz}$			-157		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=380 \text{ MHz(混模)}$			-154		dBc
$f_{DAC}=500\text{MSPS}, f_{OUT}=480 \text{ MHz(混模)}$			-153		dBc
W-CDMA 相邻信道泄漏比(ACLR), 单载波					
$f_{DAC}=491.52\text{MSPS}, f_{OUT}=20\text{MHz}$			-82.5		dBc
$f_{DAC}=491.52\text{MSPS}, f_{OUT}=80\text{MHz}$			-82.5		dBc
$f_{DAC}=491.52\text{MSPS}, f_{OUT}=411.52\text{MHz}$			-68		dBc
$f_{DAC}=491.52\text{MSPS}, f_{OUT}=471.52\text{MHz}$			-69		dBc

## 数字和时序特性

除非另有说明,  $T_{MIN}$  至  $T_{MAX}$ ,  $AVDD33 = 3.3\text{ V}$ ,  $DVDD33 = 3.3\text{ V}$ ,  $DVDD18 = 1.8\text{ V}$ ,  $CVDD18 = 1.8\text{ V}$ ,  $I_{OUTFS} = 20\text{ mA}$  最大采样率。

表 3 电气特性-数字特性

参数	条件	最小值	典型值	最大值	单位
DAC 时钟输入(CLKP, CLKN)					
差分峰峰值电压(CLKP-CLKN)		400	800	1600	mV
共模电压		300	400	500	mV
最大时钟速率		500			MSPS
DAC 时钟对模拟输出数据延时				7	Cycles
串行外设接口(CMOS 接口)					
最大时钟速率(SCLK)				40	MHz
最小高脉冲宽度				12.5	ns
最小低脉冲宽度				12.5	ns
SDI 到 SCLK 建立时间( $t_{DS}$ )		2.0			ns
SDI 到 SCLK 保持时间( $t_{DH}$ )		0.2			ns
SDO 到 SCLK 数据有效时间( $t_{DV}$ )		2.3			ns
CSB 到 SCLK 建立时间( $t_{DCSB}$ )			1.4		ns
SPI 接口逻辑电平					
高电平输入		2.0			V
低电平输入				0.8	V
数字输入数据(LVDS 接口)					
输入电压范围, $V_{IA}$ 或 $V_{IB}$		800		1600	mV
输入差异阈值, $V_{IDTH}$		-100		+100	mV
输入差分滞后, $V_{IDTHH}$ 到 $V_{IDTHL}$			20		mV
输入差分输入阻抗, $R_{IN}$		80		120	$\Omega$
最大 LVDS 输入速率(每 DAC)		500			MSPS

## 极限参数

AVDD33, DVDD33 .....	-0.3V 至 3.6V
DVDD18, CVDD18.....	-0.3V 至 1.98V
AGND,DGND,CGND.....	-0.3V 至 0.3V
REFIO.....	-0.3V 至 AVDD33+0.3V
IOUT1P,IOUT1N,IOUT2P,IOUT2N,AUX1P,AUX2N,AUX2P.AUX2N.....	-0.1V 至 AVDD33+0.3V
D15 至 D0.....	-0.3V 至 DVDD33+0.3V
CLKP,CLKN.....	-0.3V 至 CVDD18+0.3V
CSB,SCLK,SDIO,SDO.....	...-0.3V 至 DVDD33+0.3V
结温.....	125°C
存储温度范围.....	-65°C 至 150°C

**注意:** 对以上所列的最大极限值, 如果器件工作在超过此极限值的环境中, 很可能对器件造成永久性破坏。  
在实际运用中, 最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时, 要采取合适的 ESD 保护措施, 以免造成性能下降或功能失效。

## 引脚配置及功能说明

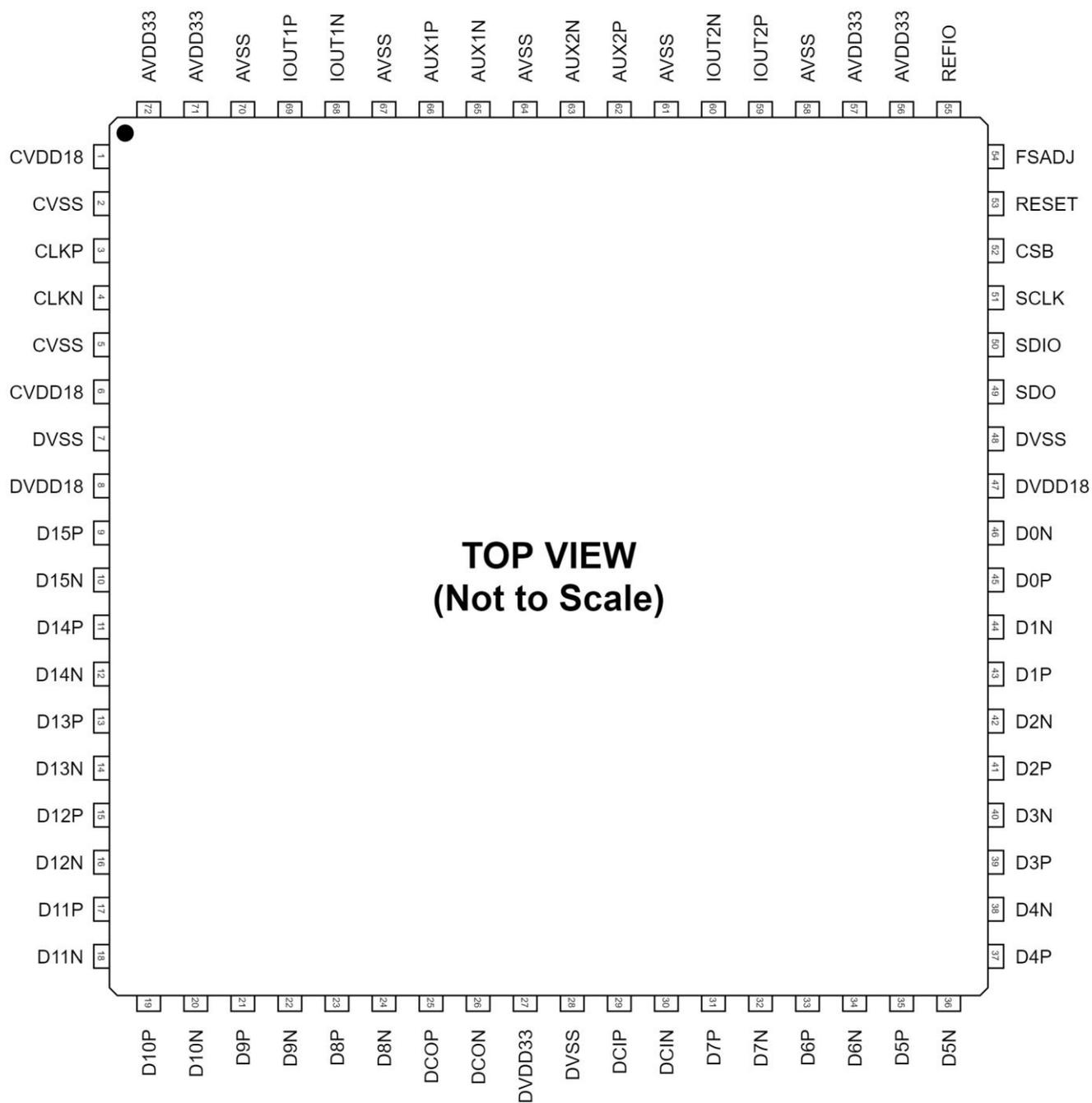


图 2 SC3363 引脚配置

表 4 管脚定义

引脚序号	引脚名称	引脚类型	引脚功能
1, 6	CVDD18	P	时钟电源电压(1.8V)。
2, 5	CVSS	G	时钟地(0V)。
3	CLKP	AI	差分DAC时钟输入。

引脚序号	引脚名称	引脚类型	引脚功能
1,6	CVDD18	P	时钟电源电压(1.8V)。
2,5	CVSS	G	时钟电源返回。
3,4	CLKP,CLKN	AI	差分DAC采样时钟输入。
7,28,48	DVSS	G	数字地(0V)。
8,47	DVDD18	P	数字电源电压(1.8V)。
9至24,31至46	D15P,D15N至D0P,D0N	DI	LVDS数据输入。D15为MSB, D0为LSB。
25,26	DCOP,DCON	DO	差分数据时钟输出。时钟在DAC采样速率。
27	DVDD33	P	数字输入/输出电源电压(3.3V)。
29,30	DCIP,DCIN	DI	差分数据时钟输入与输入数据对齐的时钟。
49	SDO	DIO	串行接口数据输出。
50	SDIO	DI	串行接口数据输入(4线模式)或双向串行数据线(3线模式)。
51	SCLK	DI	串行接口时钟输入。
52	CSB	DI	串行接口芯片选择输入。低电平有效。
53	RESET	DI	硬件复位。高位有效。
54	FSADJ	AO	满量程电流输出调整。
55	REFIO	AIO	模拟参考输入/输出。(1.2 V标称)。
56,57,71,72	AVDD33	P	模拟电源电压(3.3 V)。
58,61,64,67,70	AVSS	G	模拟地 (0 V)。
59	IOUT2P	AO	DAC电流输出。当输入数据位均为1时, 输出满量程电流。
60	IOUT2N	AO	DAC电流输出互补。当输入数据位均为0时, 输出满量程电流。
62,63	AUX2P,AUX2N	AO	差分辅助DAC电流输出(通道2)。
65,66	AUX1N,AUX1P	AO	差分辅助DAC电流输出(通道1)。
68	IOUT1N	AO	互补 DAC电流输出。当数据位均为0时, 输出满量程电流。
69	IOUT1P	AO	DAC电流输出。当数据位均为 1 时, 输出满量程电流。
Heat Sink Pad	N/A	G	散热垫在封装底部必须焊接到PCB平面即AVSS。

## 使用说明

SC3361 所有特性和功能均可通过 SPI 端口进行设置。

### SPI 端口

SPI 端口是一个灵活的同步串行通信端口，支持单字节或多字节传输以及 MSB 优先或 LSB 优先传输格式。通过单个双向引脚（SDIO）或通过两个单向引脚（SDIO/SDO）完成串行数据输入/输出。

### 指令字节

指令字节包含以下位图中显示的信息。

MSB							LSB
B7	B6	B5	B4	B3	B2	B1	B0
R/W	N1	N0	A4	A3	A2	A1	A0

位 7 R/W 确定在指令字节写入后是进行读取还是写入数据传输。逻辑高电平表示读取操作。逻辑 0 表示写入操作。

位[6: 5]，N1 和 N0，确定在数据传输周期中要传输的字节数。位定义如表 5 所示。

表 5 字节传输计数

N1	N0	描述
0	0	传输一个字节
0	1	传输两个字节
1	0	传输三个字节
1	1	传输四个字节

位[4: 0]、A4、A3、A2、A1 和 A0 确定在通信周期的数据传输期间访问哪个寄存器。对于多字节传输，此地址是起始地址或是结束地址取决于当前数据传输模式。

### MSB/LSB 传输

串行端口可以支持 MSB 优先和 LSB 优先的数据格式，如图 3 和图 4 所示。

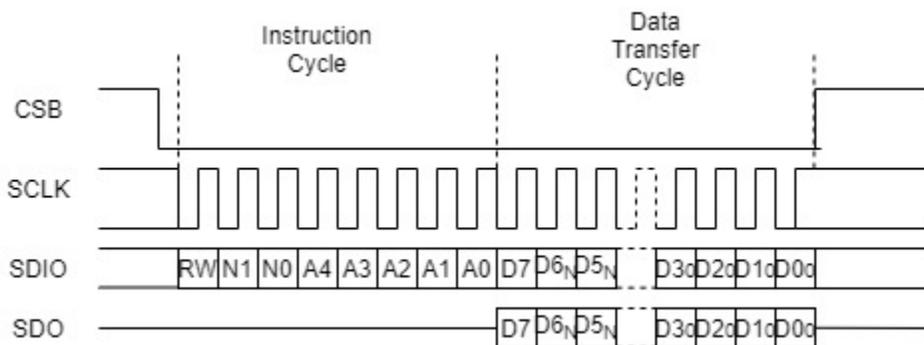


图 3 MSB First

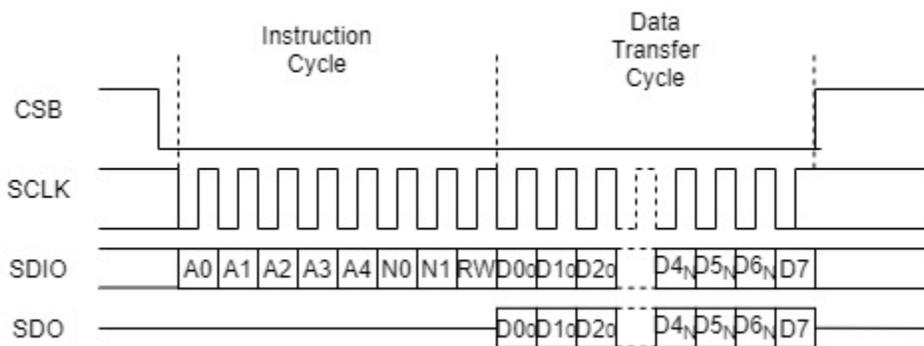


图 4 LSB First

### 双端口模式时序

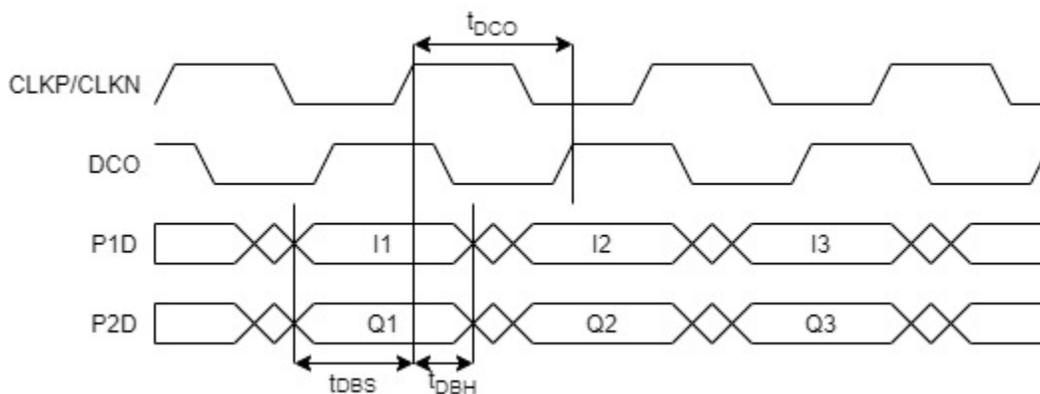


图 5 双端口模式时序

在图 5 中，DAC1 和 DAC2 的数据分别由 P1D 和 P2D 输入

## SC3363

## 单端口模式时序

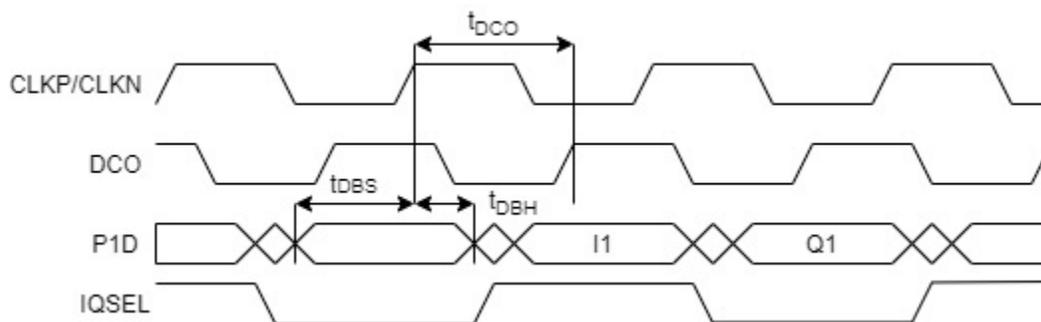


图 6 单端口模式时序

如图 6 所示，在单端口模式下，两个 DAC 的数据都在端口 1 输入。当 IQSEL 为逻辑高时，输出的是 DAC1 的数据，当 IQSEL 为逻辑低时，输出的是 DAC2 的数据。IQSEL 必须与输入数据时间一致。

## SPI 端口、复位和引脚模式

当 RESET 引脚变为逻辑低，SPI 端口就会被激活，可以通过 SPI 配置器件的功能。

对于没有控制器的应用，本产品还支持引脚模式来配置一些固定的功能选项。保持 RESET 引脚逻辑高即可进入引脚模式，此时不使用 SPI 端口，四个 SPI 端口功能如表 6 所示。

表 6 SPI 端口功能

引脚名	功能
SCLK	ONEPORT (0x02, Bit6) 的值反映了引脚状态 0: 逻辑低 1: 逻辑高
SDIO	DATYPE (0x02, Bit7) 的值反映了引脚状态 0: 逻辑低 1: 逻辑高
CSB	启用混合模式，如果 CSB 为高，则寄存器 0x0A 设置为 0x05。
SDO	启用完全断电，如果 SDO 为高，请将 0x03 设置为 0xFF

寄存器

表 7 寄存器表格

ADDRESS Bits	REGISTER NAME	DEFAULT VALUE	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00h	SPI Control	00h	SDIODIR	LSBFIRST	RESET					
02h	Data Control	00h	DATA			INVDCO				
03h	Power Down	00h	PD_DCO	PD_INPT	PD_AUX2	PD_AUX1	PD_BIAS	PC_CLK	PD_DAC2	PD_DAC1
04h	Setup and Hold	00h	SET[3:0]				HLD[3:0]			
05h	Timing Adjust	00h				SAMP_DLY[4:0]				
06h	Seek	00h						LVDS low	LVDS high	SEEK
0Ah	Mix Mode	00h					DAC1MIX[1:0]		DAC2MIX[1:0]	
0Bh	DAC1 FSC	F9h	DAC1FSC[7:0]							
0Ch	DAC1 FSC MSBs	01h							DAC1FSC[9:8]	
0Dh	AUX DAC1	00h	AUXDAC1[7:0]							
0Eh	AUX DAC1 MSB	00h	AUX1SGN		AUX1DIR				AUXDAC1[9:8]	
0Fh	DAC2 FSC	F9h	DAC2FSC[7:0]							
10h	DAC2 FSC MSBs	01h							DAC2FSC[9:8]	
11h	AUXDAC2	00h	AUXDA2[7:0]							
12h	AUXDAC2 MSB	00h	AUX2SGN		AUX2DIR				AUXDA2[9:8]	
1A	BIST Control	00h	BISTEN		BISTRD		BISTCLR			
1B	BIST Result 1 Low	00h	BISTRES1[7:0]							
1C	BIST Result 1 High	00h	BISTRES1[15:8]							
1D	BIST Result 2 Low	00h	BISTRES2[7:0]							
1E	BIST Result 2 High	00h	BISTRES2[15:8]							
1F	Hardware Version	N/A	VERSION[3:0]				DEVICE[3:0]			

表 8 寄存器描述

寄存器	地址	位	名称	描述
SPI Control	0x00	7	SDIODIR	0=以 4 线模式操作 SPI,SDIO 引脚仅作为输入 1=以 3 线模式操作 SPI, SDIO 引脚作为双向输入/输出线
		6	LSBFIRST	0 = LSBFIRST off 1 = LSBFIRST on 仅在单字节指令中更改 LSB/MSB 顺序, 以避免由于位序错误而导致的不稳定
		5	RESET	0=执行 SPI 和控制器软件复位, 重新加载除寄存器 0x00 外的默认寄存器值。 1=设置软件复位, 在下一个(或后续任何一个)周期中写入 0 以释放复位
Data Control	0x02	7	DATTYPE	0 = DAC 输入数据为二补二进制格式 1 = DAC 输入数据为无符号二进制格式
		4	INVDCO	1 =反转数据时钟输出。用于调整输入数据的时序。
Power Down	0x03	7	PD_DCO	1=关闭数据时钟输出
		6	PD_INPT	1=关闭输入电源
		5	PD_AUX2	1=关闭 AUX2 DAC
		4	PD_AUX1	1=关闭 AUX1 DAC
		3	PD_BIAS	1=关闭基准电压偏置电路
		2	PD_CLK	1=关闭 DAC 时钟输入电路
		1	PD_DAC2	1=关闭 DAC2
		0	PD_DAC1	1=关闭 DAC1
Setup and Hold	0x04	7:4	SET[3:0]	4 位值, 用于确定输入数据建立时间。
		3:0	HLD[3:0]	4 位值, 用于确定输入数据保持时间。
Timing Adjust	0x05	4:0	SAMP_DLY[4:0]	5 位值, 用于相对于内部采样时钟优化定位输入数据。
SEEK	0x06	2	LVDS low	其中一个 LVDS 输入超出 IEEE 简化链路规范的输入电压限制。
		1	LVDS high	其中一个 LVDS 输入低于 IEEE 简化链路规范的输入电压限制。
		0	SEEK	与 LVDS_SET 和 LVDS HLD 一起使用的指示器位, 以确定输入数据的定时间隔。
Mix Mode	0x0A	3:2	DAC1MIX[1:0]	00 =选择正常模式 01 =选择混合模式 10 =选择归零模式 11 =选择归零模式
		1:0	DAC2MIX[1:0]	00 =选择正常模式 01 =选择混合模式 10 =选择归零模式 11 =选择归零模式
DAC1 FSC	0x0B	7:0	DAC1FSC[7:0]	DAC1 全量程 10 位调整字

寄存器	地址	位	名称	描述
	0x0C	1:0	DAC1FSC[9:8]	0x03FF =设置满量程电流的最大值为 31.66 mA 0x0200=设置满量程电流的标称值为 20.0 mA 0x0000 =设置满量程电流的最小值为 8.64 mA
AUX DAC1	0x0D	7:0	AUXDAC1[7:0]	AUX DAC1 输出电流调节字
	0x0E	1:0	AUXDAC1[9:8]	0x03FF =设置输出电流大小为 2.0 mA 0x0200 =设置输出电流大小为 1.0 mA 0x0000 =设置输出电流大小为 0.0 mA
		7	AUX1SGN	0 = AUX1P 输出引脚激活 1 = AUX1N 输出引脚激活
		6	AUX1DIR	0 =配置 AUX1 DAC 输出为源电流 1 =配置 AUX1 DAC 输出为灌电流
DAC2 FSC	0x0F	7:0	DAC2FSC[7:0]	DAC2 全量程 10 位调整字
	0x10	1:0	DAC2FSC[9:8]	0x03FF =设置满量程电流的最大值为 31.66 mA 0x0200 =设置满量程电流的标称值为 20.0 mA 0x0000 =设置满量程电流的最小值为 8.64 mA
AUX DAC2	0x11	7:0	AUXDAC2[7:0]	AUX DAC2 10 位输出电流调节字
	0x12	1:0	AUXDAC2[9:8]	0x03FF =设置输出电流大小为 2.0 mA 0x0200 =设置输出电流大小为 1.0 mA 0x0000 =设置输出电流大小为 0.0 mA
		7	AUX2SGN	0 = AUX2P 输出引脚激活 1 = AUX2N 输出引脚激活
		6	AUX2DIR	0 =配置 AUX2 DAC 输出为源电流 1 =配置 AUX2 DAC 输出为灌电流
BIST Control	0x1A	7	BISTEN	1 =启用并启动内置自检。
		6	BISTRD	1 =将 BIST 结果寄存器转换为 SPI 进行回读。
		5	BISTCLR	1 =重置 BIST 逻辑和清除 BIST 结果寄存器。
BIST Result 1	0x1B	7:0	BISTRES1[15:0]	BIST 1 产生的 16 位结果。
	0x1C	7:0		
BIST Result 2	0x1D	7:0	BISTRES2[15:0]	BIST 2 产生的 16 位结果。
	0x1E	7:0		
Hardware Version	01xF	7:4	VERSION[3:0]	只读寄存器; 显示芯片的版本。
		3:0	DEVICE[3:0]	只读寄存器; 显示设备类型。

## 外形尺寸

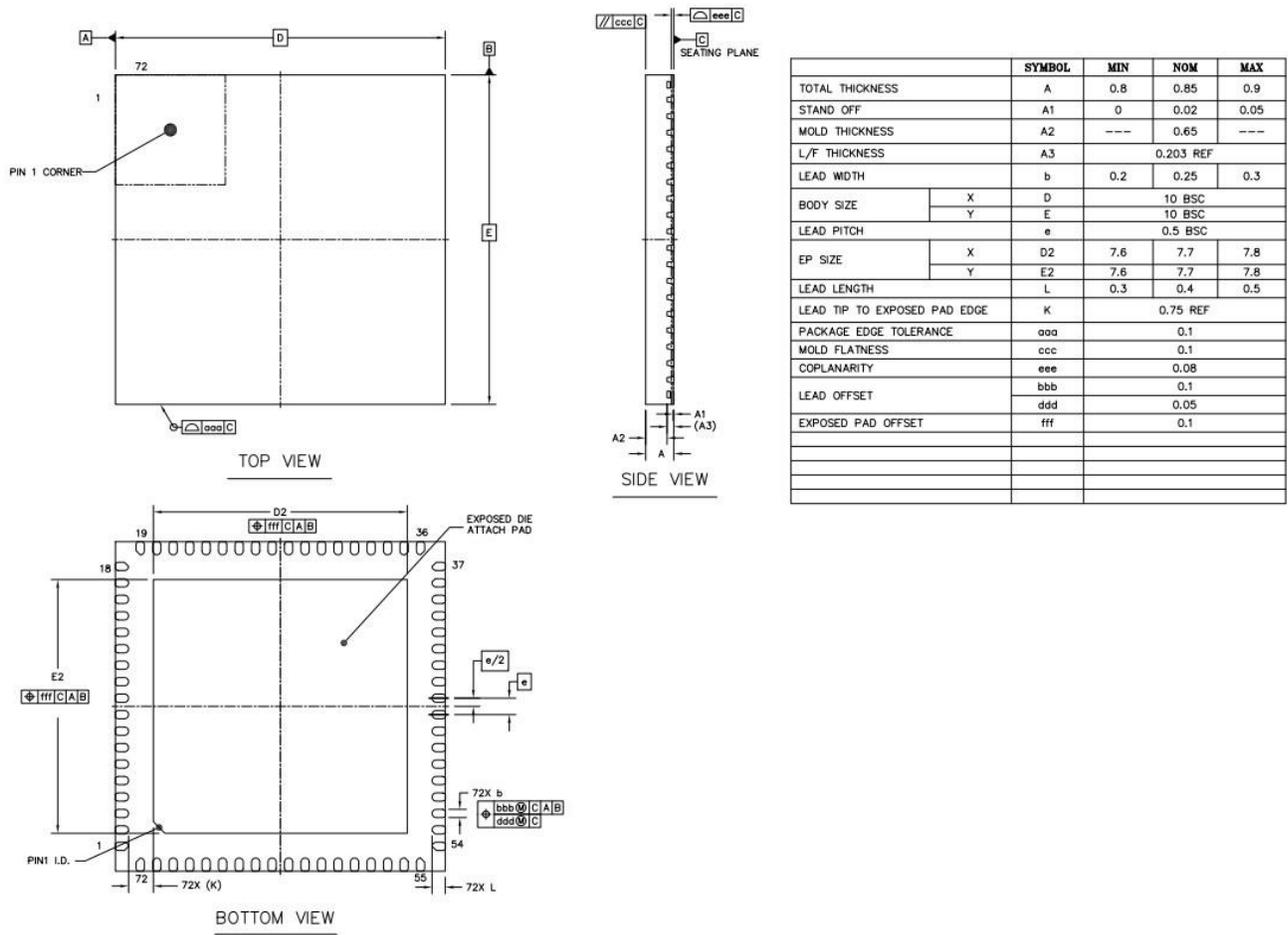


图 7 QFN-72 封装尺寸图

## 订购信息

表 9 订购信息

物料编号	温度范围	封装类型	包装形式
SC3363GDLUMY	-40~85℃	QFN-72	Tape & Reel

注: 根据客户需求可以定制封装

## 声明

上述资料仅供参考使用，用于协助芯炽客户进行设计与研发。芯炽有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。