

16 通道 24 位 125KSPS ADC

主要性能

- 24 位, 无失码
- 固定通道或通道轮询
- 固定通道数据速率: 125kSPS
- 通道轮询速率: 23.7kSPS/通道
- 16 个单端或 8 个差分输入
- 单极性(+5V)工作
- 低噪声: 在 1.8kSPS 为 $2.8 \mu\text{V}_{\text{RMS}}$
- 0.0003% 的积分非线性
- 直流稳定性(典型):
0.02 $\mu\text{V}/^\circ\text{C}$ 失调漂移, 0.4ppm/ $^\circ\text{C}$ 增益漂移
- 传感器断路检测
- 转换控制管脚
- 可用于外部信号处理的多路输出
- 片上温度、基准、失调、增益和电源电压回读
- 42mW 功耗
- 待机、休眠和关机模式
- 8 通用输入输出(GPIO)
- 32.768kHz 晶体振荡器或外部时钟
- QFN-48 封装 7mm×7mm

应用场合

- 医疗、航空电子和过程控制
- 机器及系统监控
- 快速扫描多通道仪器
- 工业系统
- 测试和测量系统

芯片模块示意图

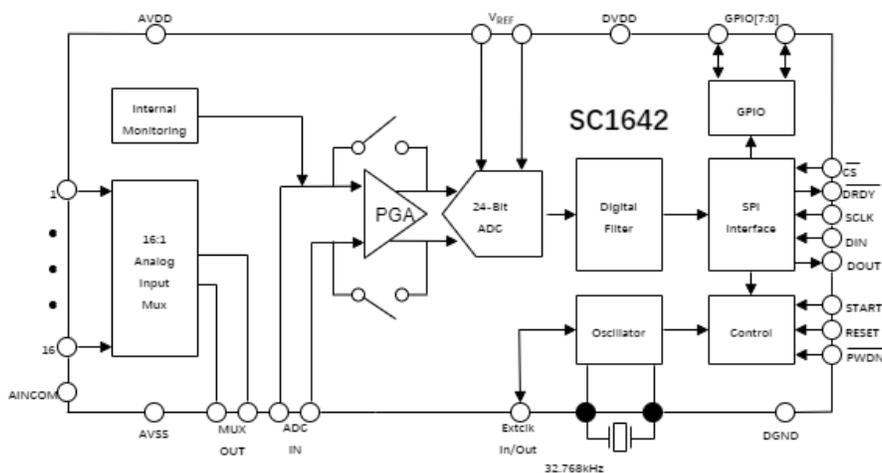


图 1 芯片模块示意图

SC1642

目录

主要性能	1	复位输入(RESET)	21
应用场合	1	时钟选择输入 (CLKSEL)	21
芯片模块示意图	1	时钟输入/输出(CLKIO).....	22
产品概况	3	启动输入 (START)	22
技术规格	4	数据就绪输出 (DRDY)	22
ADC 直流特性	4	输出数据比例和范围	23
ADC 数字电源特性	5	转换控制	23
极限参数	6	START 引脚.....	23
ESD 保护	6	脉冲转换命令	24
管脚(焊盘)配置及功能说明.....	7	GPIO 连接的 START 引脚控制	25
典型应用信息	9	初始延迟	25
时序信息	9	操作模式	25
概况	10	转换模式	26
多路复用器的输入	11	通信协议	26
电压基准输入 (VREFP, VREFN) ..	12	通道数据直接读取	27
主时钟 (f _{CLK})	12	SPI 数据读取方式	28
晶振	12	寄存器读	30
外部时钟输入	13	寄存器写	31
ADC	14	寄存器	32
调制器	14	寄存器 CONFIG0 (00h)	32
数字滤波器	14	寄存器 CONFIG1 (01h)	34
频率响应	14	寄存器 MUXCSCH (02h)	35
噪声	15	寄存器 MUXDIF、MUXSG0、	
外部复用器环路	15	MUXSG1、SYSRED (03h-06h)	36
模拟电源输入读取	15	寄存器 GPIOC (07h)	36
增益读取	16	寄存器 GPIOD (08h)	37
参考读取	16	寄存器 ID (09h)	38
温度读取	16	寄存器 ALDO (14h)	38
OFFSET 读取	16	寄存器 PGA (1Bh)	38
建立时间	17	寄存器 REF (20h)	38
开关时间延迟	18	寄存器 CLK (2Ah)	39
传感器偏置	18	寄存器 ADC_VCM (0Bh) 与寄存器	
传感器开路检测	19	PGA_VCM (1Eh)	39
外部二极管偏置	19	订购信息	40
GPIO 数字端口	19	外形尺寸	40
掉电输入 (PWDN)	20	声明	41
上电时间	20		
开机顺序	21		

产品概况

SC1642 是一款 16 通道（多路复用）、低噪声、24 位、delta-sigma (Δ - Σ) 模数转换器 (ADC)，能够在通道轮询模式下，以 1.8k 至 23.7k 的通道扫描速率（SPS）来稳定地采集数据。

SC1642 采用单极 +5V 电源工作，数字电压的范围允许在 2.7V-5.25V。

SC1642 采用 QFN-48 封装。

SC1642

技术规格

ADC 直流特性

除非另有说明， $AVDD=5V$ 、 $DVDD=3.3V$ 、 $VREF=4.096V$ 、 $f_{CLK}=16MHz$ (外部时钟)、 $f_{CLK}=15.729MHz$ （内部时钟），ADC 的直流特性在表 1 中列出。

表 1 ADC 直流特性

参数	条件	最小值	典型值	最大值	单位
模拟输入					
输入电压		AVSS-100mV		AVDD+100mV	V
信道电阻			80		Ω
串扰			110		dB
传感器偏置(电流源)					
SBCS=01			1.5		μA
SBCS=11			24		μA
ADC 输入					
满量程输入电压			$\pm 1.06VREF$		V
绝对输入电压		AVSS-100mV		AVDD+100mV	V
差动输入阻抗			65		k Ω
系统表现					
分辨率			24		位
数据速率（固定通道模式）		1.953	-	125	kSPS
数据速率（通道轮询模式）		1.805	-	23.739	kSPS
积分非线性（INL）			0.0003	0.0010	%FSR
失调误差（chopping on）			1		μV
失调误差（chopping off）			26		μV
失调漂移（chopping on）			0.02		$\mu V/^{\circ}C$
失调漂移（chopping off）					$\mu V/^{\circ}C$
增益误差				0.5	%
增益漂移				2	ppm/ $^{\circ}C$
噪声			100		
共模抑制比					dB
电源抑制比					-
AVDD、AVSS			85		dB
DVDD			95		dB
参考电压输入					
参考输入电压			4.096		V
负极参考输入（VREFN）			0		V
正极参考输入（VREFP）			4.096		V
参考输入阻抗			40		k Ω
内部基准电压源					
输出电压			4.096		V
初始精度		-0.1		+0.1	% of V
温度系数					
-40 $^{\circ}C$ 至+85 $^{\circ}C$			4	10	ppm/ $^{\circ}C$
系统参数					
外部参考读取误差			1	3	%
模拟输入读取误差			1	3	%

ADC 数字电源特性

除非另有说明，AVDD=5V、DVDD=3.3V、VREF=4.096V、 $f_{CLK}=16\text{Mhz}$ (外部时钟)、 $f_{CLK}=15.729\text{Mhz}$ （内部时钟），ADC 的数字电源特性在表 2 中列出。

表 2 ADC 数字电源特性

参数	条件	最小值	典型值	最大值	单位
数字输入及输出 逻辑等级					
V_{IH}		0.7DVDD		DVDD	V
V_{IL}		DGND		0.3DVDD	V
V_{OH}		0.8DVDD		DVDD	V
V_{OL}		DGND		0.2DVDD	V
输入漏电				10	uA
电源输入					
DVDD		2.7		5.25	V
AVSS			0		V
AVDD		AVSS+4.75		AVSS+5.25	V
AVDD、AVSS 输入电流					
Converting			8.2	12	mA
Standby			5.6		mA
Sleep			2.1		mA
PowerDown			2	85	uA
功耗					
Converting			42	62	mW
Standby			29		mW
Sleep			11		mW
PowerDown			14		uW

极限参数

AVDD 至 AVSS.....	-0.3V 至 5.5V
AVSS 至 DGND	-0.3V 至 0.3V
DVDD 至 DGND.....	-0.3V 至 5.5V
模拟输入电压.....	AVSS-0.3V 至 AVDD+0.3V
数字输入电压至 DGND.....	-0.3V 至 DVDD+0.3V
最大结温 $T_{J,MAX}$	150°C
工作温度范围.....	-40°C 至 105°C
存储温度范围.....	-60°C 至 150°C
ESD(Human Body Model).....	2000V

注意: 对以上所列的最大极限值, 如果器件工作在超过此极限值的环境中, 很可能对器件造成永久性破坏。在实际运用中, 最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时, 要采取合适的 ESD 保护措施, 以免造成性能下降或功能失效。

管脚(焊盘)配置及功能说明

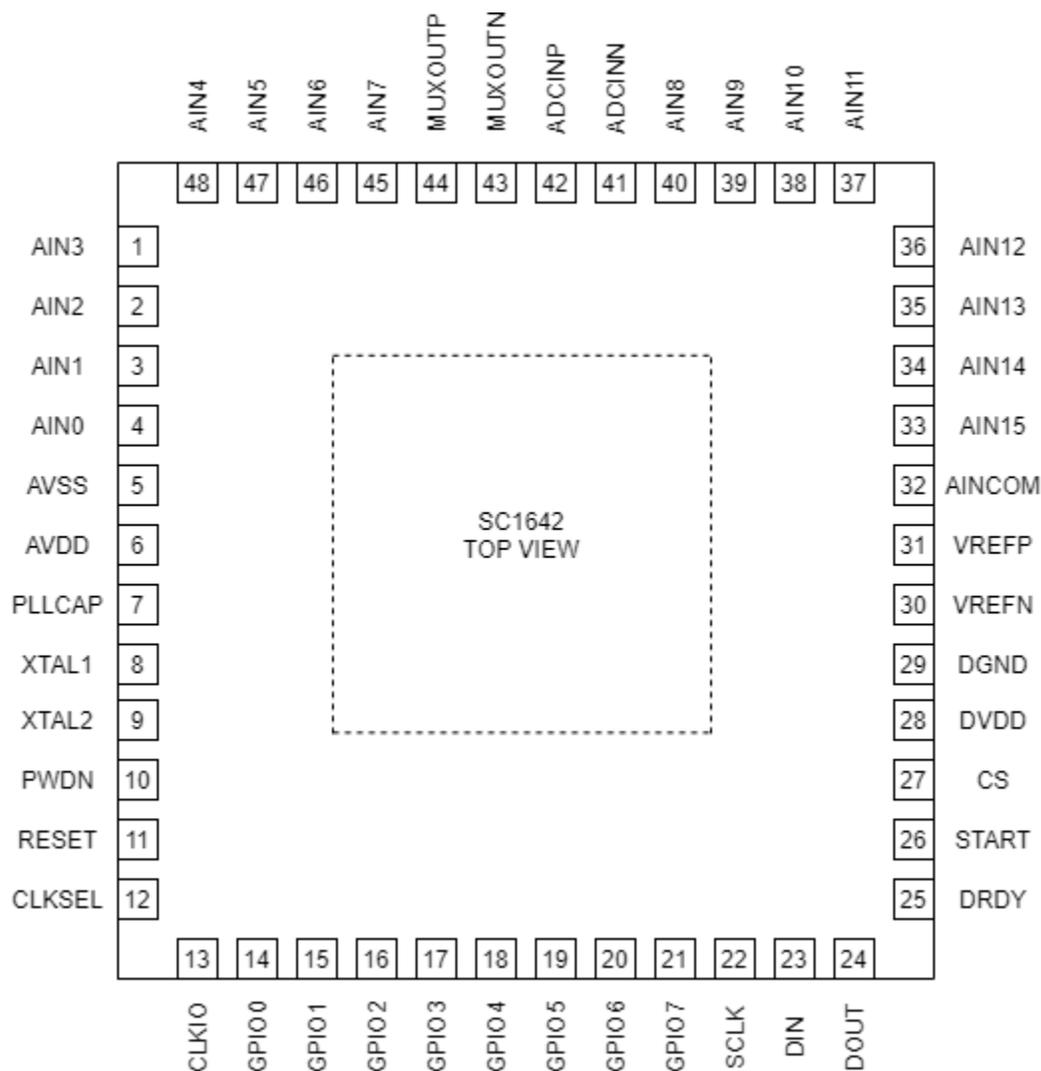


图 2 管脚（焊盘）配置

表 3 管脚定义

引脚编号	引脚类型	引脚名称	功能
1	AI	AIN3	模拟输入3: 单端通道3, 差分通道1 (-)
2	AI	AIN2	模拟输入2: 单端通道2, 差分通道1 (+)
3	AI	AIN1	模拟输入1: 单端通道1, 差分通道0 (-)
4	AI	AIN0	模拟输入0: 单端通道0, 差分通道0 (+)
5	P	AVSS	负模拟电源: 0V用于单极应用
6	P	AVDD	正模拟电源: +5V用于单极应用
7	AI	PLLCAP	锁相环旁路电容: 当使用内部时钟源时, 将22nF电容连接到AVSS
8	AI	XTAL1	32.768kHz晶体振荡器输入1
9	AI	XTAL2	32.768kHz晶体振荡器输入2
10	DI	PWDN	断电引脚:保持低电平至少两个 f_{CLK} 周期, 以进入低功耗模式
11	DI	RESET	复位引脚:保持低电平至少2个 f_{CLK} 周期来复位设备。

引脚编号	引脚类型	引脚名称	功能
12	DI	CLKSEL	时钟选择输入: 0: 激活晶体振荡器, 内部时钟输出在CLKIO 1: 禁用晶体振荡器, 在CLKIO提供外部时钟
13	DIO	CLKIO	系统时钟输入/输出(参见CLKSEL引脚)
14 to 21	DIO	GPIO0 to GPIO7	通用数字输入/输出I/O 0到7
22	DI	SCLK	SPI接口时钟输入: 上升沿时钟输入数据, 下降沿时钟输出数据
23	DI	DIN	SPI接口数据输入: 将数据输入到设备
24	DO	DOUT	SPI接口数据输出: 从设备输出数据
25	DO	DRDY	数据读取输出: 低电平有效
26	DI	START	开始转换输入: 高电平有效
27	DI	CS	SPI接口芯片选择输入: 低电平有效
28	P	DVDD	数字电源: 2.7V到5.25V
29	G	DGND	数字地
30	AI	VREFN	负参考输入
31	AI	VREFP	正参考输入
32	AI	AINCOM	模拟输入共模: 所有单端输入共模输入引脚
33	AI	AIN15	模拟输入15: 单端通道15, 差分通道7 (-)
34	AI	AIN14	模拟输入14: 单端通道14, 差分通道7 (+)
35	AI	AIN13	模拟输入13: 单端通道13, 差分通道6 (-)
36	AI	AIN12	模拟输入12: 单端通道12, 差分通道6 (+)
37	AI	AIN11	模拟输入11: 单端通道11, 差分通道5 (-)
38	AI	AIN10	模拟输入10: 单端通道10, 差分通道5 (+)
39	AI	AIN9	模拟输入9: 单端通道9, 差分通道4 (-)
40	AI	AIN8	模拟输入8: 单端通道8, 差分通道4(+)
41	AI	ADCINN	ADC差分输入(-)
42	AI	ADCINP	ADC差分输入(+)
43	AO	MUXOUTN	多路复用差分输出(-)
44	AO	MUXOUTP	多路复用差分输出(+)
45	AI	AIN7	模拟输入7: 单端通道7, 差分通道3 (-)
46	AI	AIN6	模拟输入6: 单端通道6, 差分通道3 (+)
47	AI	AIN5	模拟输入5: 单端通道5, 差分通道2 (-)
48	AI	AIN4	模拟输入4: 单端通道4, 差分通道2 (+)

典型应用信息

时序信息

串行接口的时序如图 3 所示，而关于图 3 各参数的描述如表 4 所示。

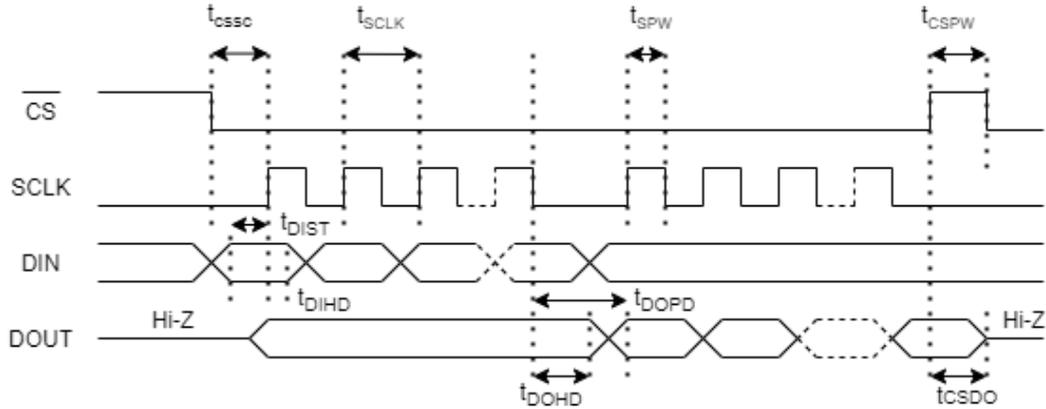


图 3 串行接口的时序

表 4 参数描述

SYMBOL	MIN	MAX	UNITS
t_{SCLK}	2		τ_{CLK}
t_{SPW}	0.8	4096 ⁽²⁾	τ_{CLK}
t_{CSSC}	2.5		τ_{CLK}
t_{DIST}	10		Ns
t_{DIHD}	5		Ns
t_{DOPD}		20	Ns
t_{DOHD}	0		Ns
t_{CSDO}		5	τ_{CLK}
t_{CSPW}	2		τ_{CLK}

(1) τ_{CLK} =主时钟周期= $1/f_{CLK}$

(2)可编程至 256 τ_{CLK}

(3) \overline{CS} 可以被绑成低电平

(4)DOUT 负载=20 pF

DRDY 的更新时序图如图 4 所示，而关于图 4 的各参数描述如表 5 所示

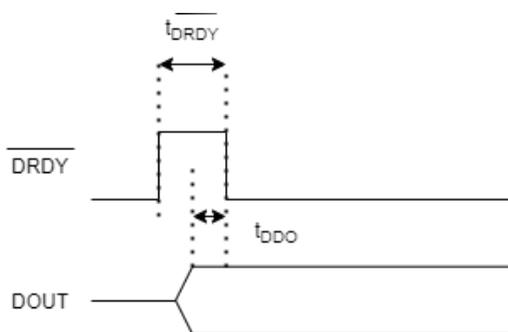


图 4 DRDY 时序图

表 5 参数描述

SYMBOL	TYP	UNITS
t_{DRDY}	1	τ_{CLK}
t_{DDO}	0.5	τ_{CLK}

概况

SC1642 是一款灵活的 24 位低噪声 ADC，专为多通道、高分辨率的测量系统而设计。该转换器提供 23.7kSPS 的最大通道扫描速率，在不到 700 μ s 的时间内提供完整的 16 通道扫描。

图 5 显示了 SC1642 的框图，模拟输入引脚可以通过多路复用器选择连接到多路复用器输出引脚（MUXOUTP/MUXOUTN）。在多路复用器输出引脚和 ADC 输入引脚(ADCINP/ADCINN)之间可以使用外部信号调节器或者多路复用器输出可以在内部直接连接到 ADC 输入，无需外部电路。输入多路复用器内的可选电流源可用于偏置传感器或检测出现问题的传感器。系统提供了温度、电源电压、增益、偏移和外部参考的数据读取功能。

调制器测量的是差分输入信号。其中差分对输入信号 $V_{IN} = (ADCINP - ADCINN)$ ，差分对参考输入信号 $V_{REF} = (V_{REFP} - V_{REFN})$ 。通信是通过一个 SPI 兼容的串行接口处理的，一组简单的命令提供对 SC1642 的控制。

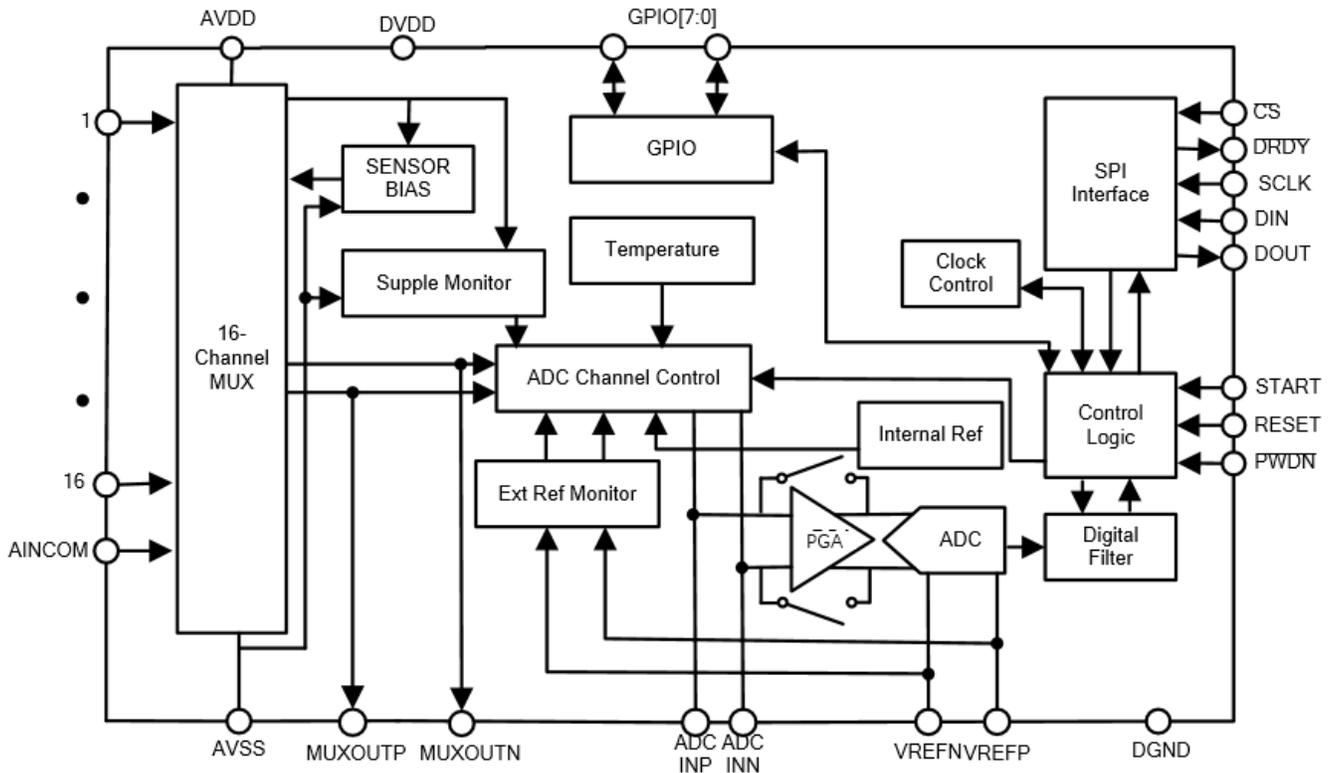


图 5 原理框图

多路复用器的输入

多路复用器将 16 路单端外部输入中的一个，或是 8 组差分外部输入中的一个，或片内模块中的一个连接到 ADC 输入。通道多路复用器的输出可以被连接到外部引脚，然后输出到 ADC 的输入端。这种灵活性允许 ADC 使用外部信号调节，此部分可以参考外部多路复用器回路部分。

ESD 二极管保护模拟输入。为了确保这些二极管不被击穿，需要输入引脚上的电压不低于 $AVSS - 100mV$ ，同样也不超过 $AVDD + 100mV$ ： $AVSS - 100mV < (\text{模拟输入}) < AVDD + 100mV$ 。

过度驱动复用器输入可能会影响其他通道的性能。

该转换器通过多路复用器支持两种通道访问模式：自动扫描模式和固定通道模式。这些模式是由寄存器 CONFIG0 的 MUXMOD 位选择的。

自动扫描模式可以自动通过选定的通道，并进行“先断后续”的切换。固定通道模式要求用户为每个被测通道设置通道地址。

SC1642

电压基准输入（VREFP，VREFN）

SC1642 ADC 的电压基准是 VREFP 和 VREFN 之间的差分电压： $VREF = VREFP - VREFN$ 。

参考输入采用与模拟输入类似的结构。

在 $f_{CLK} = 16\text{MHz}$ 的情况下，开关电容带来的负载可以用 $40\text{k}\Omega$ 的有效电阻（ R_{eff} ）来等效。

请注意参考输入的有效阻抗将使外部参考负载具有基准源的阻抗。

主时钟（ f_{CLK} ）

如图 6 所示，该时钟来自内部振荡器（带外部晶体）或外部时钟源。

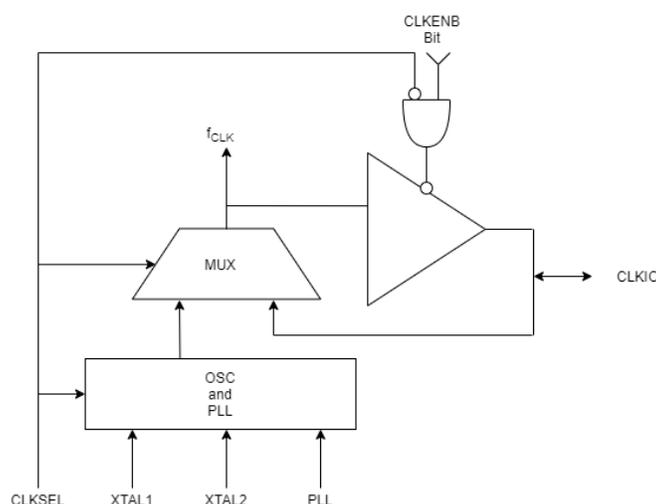


图 6 时钟输入

CLKSEL 引脚决定了系统时钟的来源。CLKIO 引脚的功能是作为一个输入或输出。当 CLKSEL 引脚被设置为“1”时，CLKIO 被配置为一个输入，以接收主时钟。当 CLKSEL 引脚被设置为“0”时，晶体振荡器产生时钟，然后 CLKIO 引脚可以被配置为输出主时钟。当不需要时钟输出时，它可以被禁用以减少器件的功耗。

晶振

片上振荡器和锁相环（PLL）与外部晶体一起可用于产生系统时钟。对于这种模式，将 CLKSEL 引脚设置为低电平。需要一个 22nF 的 PLL 滤波电容，从 PLLCAP 引脚连接到 AVSS 引脚。PLL 的内部时钟可以输出到 CLKIO 以驱动其他转换器或控制器。如果不使用，请禁用时钟输出以减少器件的功耗，设置见表 6。时钟输出通过一个寄存器位的设置来启用（默认为 ON）。图 7 显示了振荡器的连接，应当尽可能地将这些元件放在靠近引脚的地方，以避免干扰和耦合。不

要把 XTAL1 或 XTAL2 连接到任何其他逻辑上。振荡器的启动时间可能有所不同，这取决于晶体和环境温度。用户应该验证振荡器的启动时间。

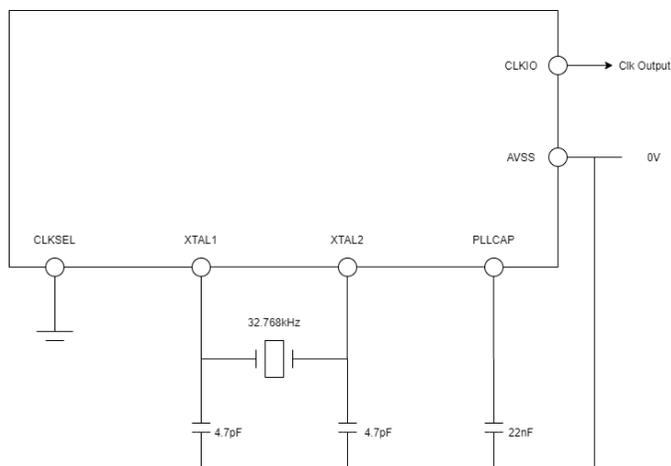


图 7 晶振连接

表 6 晶振配置

CLKSEL PIN	CLOCK SOURCE	CLKENB BIT	CLKIO FUNCTION
0	32.768kHz Crystal Osc	0	Disabled
0	32.768kHz Crystal Osc	1	Output (15.729MHz)
1	External Clock Input	X	Input (16MHz)

外部时钟输入

当使用外部时钟时，将主时钟信号提供给 CLKIO 引脚。对于这种模式，CLKSEL 引脚被接到高电平，然后 CLKIO 成为一个输入，如图 8 所示。

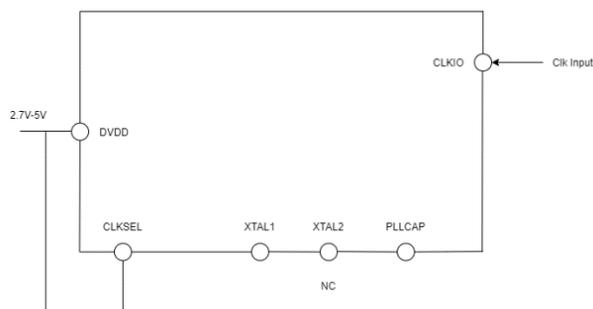


图 8 外部时钟输入示意图

SC1642

确保使用一个没有抖动或干扰的时钟源，应避免振铃或欠压/过冲。在 CLKIO 引脚上串联一个 50 Ω 的电阻（放在靠近信号源的地方）通常会有帮助。

ADC

本 ADC 由两个模块组成：一个调制器与一个数字滤波器。

调制器

调制器将模拟输入电压转换为脉冲编码调制（PCM）数据流。当差分模拟输入（ADCINP–ADCIN）的电平接近参考电压的电平时，PCM 数据流的“1”的密度将处于最高值。当差分模拟输入电平接近零时，PCM 中数字 0 和数字 1 密度的几乎相等。四阶调制器可以将量化后的噪声移到高频（通带外），经过数字滤波器可以很容易地将其去除。

数字滤波器

可编程低通数字滤波器接收调制器输出并产生高分辨率数字输出。通过调整过滤量，可以在分辨率和数据速率之间进行权衡。对于更高的分辨率，过滤更多，对于更高分辨率，过滤更少更高的数据速率。过滤器由两部分组成，前面是一个固定的滤波器，后面是一个可编程的滤波器。

数据从模拟信号提供给滤波器，以 $f_{CLK}/2$ 的速率调制。固定过滤器是一个五阶 sinc 滤波器，采样率为 64，该滤波器以 $f_{CLK}/128$ 的速率输出数据。第二阶段的滤波器是一个可编程滤波器（一阶 sinc 滤波器），采样速度由 DRATE[1: 0]位来决定。

数据速率（轮询模式）：

$$\frac{f_{CLK}}{128 * (4^{11b-DR} + 4.265625 + TD) * 2^{CHOP}}$$

数据速率（固定通道模式）

$$\frac{f_{CLK}}{128 * (4^{11b-DR} + CHOP(4.265625 + TD)) * 2^{CHOP}}$$

频率响应

本芯片可以对模拟输入进行过采样，这需要一个高频主时钟提供给转换器。时钟来自内部振荡器或外部时钟源。

$$|H(f)| = |H_{Sinc}^5(f)| * |H_{AVERAGER}(f)| = \left| \frac{\sin\left(\frac{128\pi * f}{f_{CLK}}\right)}{64 * \sin\left(\frac{2\pi * f}{f_{CLK}}\right)} \right| * \left| \frac{\sin\left(\frac{128\pi * f * Num_Ave}{f_{CLK}}\right)}{Num_Ave * \sin\left(\frac{128\pi * f}{f_{CLK}}\right)} \right|$$

数字滤波器衰减调制器输出上的噪声, 包括 SC1642 内的噪声和 SC1642 输入信号内的外部噪声。通过改变可编程滤波器中使用的平均数来调整滤波器, 从而改变滤波器带宽。随着平均数的增加, 带宽减少, 更多的噪声被衰减。低通滤波器在数据输出速率及其倍数处具有陷波 (或零)。滤波器的 sinc5 部分在 fCLK/128 及其倍数处产生宽陷波。在这些频率下, 滤波器的增益为零。请注意, 在自动扫描模式下, 数据速率降低, 同时保持与固定信道模式相同的频率响应。通过可编程的滤波器来平均, sinc5 滤波器产生的宽陷波仍然存在, 但响应中叠加了许多窄陷波。

噪声

SC1642 具有卓越的噪声性能, 可通过调整数据速率进行优化。当通过降低数据速率来提高平均值时, 噪声会相应下降。输入参考噪声、无噪声分辨率和有效位数 (ENOB) 见表 7。通过使用外部增益, 可以显著改善低电平信号的噪声性能。注意, 当 Chop=1 时, 数据速率降低了 2 倍, 噪声降低了 1.4 倍。

$$ENOB = \frac{\ln \left(\frac{FSR}{RMS\ Noise} \right)}{\ln 2}$$

外部复用器环路

外部复用器环路由两个差分复用器输出引脚和两个差分 ADC 输入引脚组成。用户可以使用外部组件 (缓冲/滤波、单端到差分转换等), 形成信号调节回路。为了获得最佳性能, 应缓冲 ADC 输入并差动驱动。要绕过外部多路复用器回路, 请将 ADC 输入引脚直接连接到多路复用器输出引脚, 或选择内部旁路连接 (配置 0 的 bypass=0)。无论旁路设置如何, 多路复用器输出引脚都是使能的。

模拟电源输入读取

SC1642 的模拟电源电压可以通过读取 VCC 寄存器来监控。电源电压在 SC1642 内部布线, 并使用内部参考测量和缩放。对于单配置和双配置, 电源读回通道输出 AVDD 和 AVSS 之间的差异 (AVDD-AVSS)。在读取此读数之前需要禁用斩波 (CHOP=0)。

$$V = \frac{code}{819200}$$

当电源低于最低规定工作电压时, 无法确保 SC1642 的完全工作。当总模拟电源电压降至约 4.3V 以下时, 返回的数据设置为零。然后设置状态字节中的 SUPPLY 位。当总电源电压上升到比较低跳闸点高约 50mV 时, 该位被清除。数字电源 (DVDD) 可以通过将电源电压循环回输入通道来监控。双极电源操作可能需要电阻分压器, 以将 DVDD 电平降低到模拟电源的范围内。

SC1642

增益读取

在该配置中，外部基准既连接到模拟输入端又连接到 ADC 的基准输入端。此寄存器中的数据表示设备的增益。

$$\text{Gain} = \frac{\text{code}}{8388608}$$

为了校正设备增益误差，用户软件可以将每个转换器数据值除以设备增益。这仅校正源于 ADC 内的增益误差；由于外部增益级误差或由于参考误差引起的系统增益误差不被补偿。在读取此读数之前，还需要禁用斩波（CHOP=0）。

参考读取

在此配置中，外部参考连接到模拟输入，而内部参考连接到 ADC 的参考。来自该寄存器的数据指示外部参考电压的大小。

$$\text{ref (V)} = \frac{\text{code}}{2048000}$$

此读回函数可用于检查缺少或超出范围的引用。如果参考输入引脚是悬空的（未连接），则内部偏置将其拉至 AVSS 电源。这会导致输出代码趋向“0”。连接到外部参考引脚的旁路电容器在打开时可能会减慢引脚的响应。在通电后立即读取此寄存器时，请验证参考是否已稳定，以确保读数准确。在读取此读数之前，需要禁用斩波（CHOP=0）。

温度读取

SC1642 包含一个片上温度传感器。该传感器使用两个内部二极管，其中一个二极管的电流密度为另一个的 16 倍。二极管电流密度的差异产生与绝对温度成比例的差异电压。由于封装对印刷电路板（PCB）的热阻较低，因此内部设备温度与 PCB 温度密切相关。还要注意 SC1642 的自加热会导致周围 PCB 的温度升高。在读取此读数之前，需要禁用斩波（CHOP=0）。

$$T (^{\circ}\text{C}) = \left(\frac{\text{Temp Reading}(uV) - 624971uV}{-1973uV} \right) + 27^{\circ}\text{C}$$

OFFSET 读取

多路复用器的差分输出短接在一起，并设置为共模电压（AVDD–AVSS）/2。理想情况下，来自此寄存器函数的代码为 0h，但由于 ADC 的噪声以及 ADC 和外部信号调节产生的偏移而变化。该寄存器可用于校准或跟踪 SC1642 和外部信号调节的偏移。ADC 的斩波特性可以自动从外部信号调节中去除偏移和偏移漂移；请参阅外部斩波部分。

建立时间

SC1642 的设计在自动扫描模式下对输入通道进行扫描时，提供了全面的配置。当每个通道的数据准备就绪时， $\overline{\text{DRDY}}$ 标志发出低电平，在这种情况下可能有必要使用自动切换时间延迟功能，以便在通道切换后为外部缓冲器和相关元件的稳定提供时间。当转换器以稳定的信号输入启动（START 引脚转换为高电平或启动命令）时，第一个转换器的输出是完全稳定的。当应用异步输入时，建立时间有些不同。阶跃输入建立时间图（图 9）显示了转换器的阶跃响应与非同步阶跃输入。对于大多数工作模式，模拟输入必须在一个完整的转换周期内保持稳定，以提供稳定的数据。

在固定通道模式下（DRATE[1: 0]=11），输入必须有稳定五个完整的转换周期。

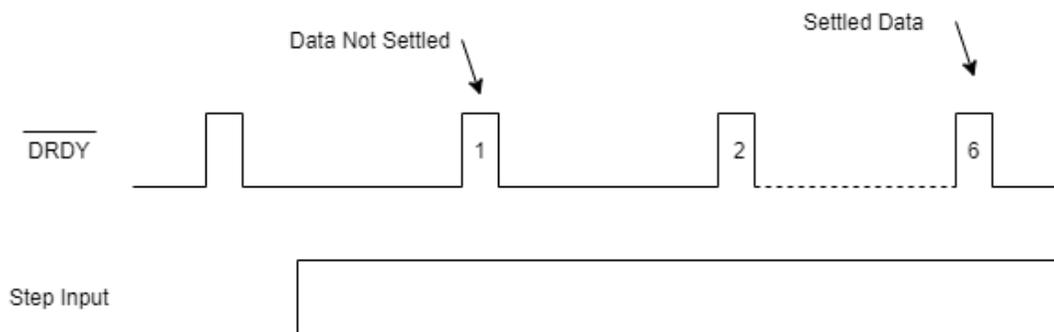


图 9 转换示意图

表 7 通道速率数据

DRATE[1: 0]	DATA RATE AUTO-SCAN (SPS)	DATA RATE FIXED-CHANNEL (SPS)	INPUT-REFERRED NOISE (μVRMS)	NOISE-FREE RESOLUTION (Bits)	ENOB
11	23739	125000	12	16.8	19.5
10	15123	31250	7.9	17.4	20.1
01	6168	7813	4.5	18.2	20.9
00	1831	1953	2.8	18.9	21.6

表 8 通道速率数据

DLY[2;0]	TIME DELAY (128/Fclk periods)	TIME DELAY (μS)	DRATE [1: 0]=11	DRATE [1: 0]=10	DRATE [1: 0]=01	DRATE [1: 0]=00
000	0	0	23739	15123	6168	1831
001	1	8	19950	13491	5878	1805
010	2	16	17204	12177	5614	1779
011	4	32	13491	10191	5151	1730

SC1642

100	8	64	9423	7685	4422	1639
101	16	128	5878	5151	3447	1483
110	32	256	3354	3104	2392	1247
111	48	384	2347	2222	1831	1075

开关时间延迟

当在自动扫描模式下使用 SC1642 时，转换器自动从一个通道切换到下一个通道，外部信号调节电路的稳定时间变得很重要。如果在多路复用器通道切换后，通道没有完全稳定，数据可能不正确。SC1642 提供了一个切换时间延迟功能，在通道切换后自动提供一个延迟，以便在读数之前让通道稳定下来。所需的时间延迟量主要取决于外部信号调节的稳定时间，可能需要额外的考虑（由通道切换产生的瞬态引起的输入源的建立时间）。使用切换时间延迟寄存器会降低有效的通道数据速率。表 8 显示了使用开关时间延迟功能时的实际数据率。

当脉冲转换时，每个 START 引脚脉冲或每个脉冲命令都会转换一个通道，数据接收端可以提供脉冲之间所需的时间延迟。然而在 CHOP=1 的情况下，可能仍然需要开关时间延迟功能，以满足建立。

在估计可能需要的时间延迟时，表 9 列出了时间延迟与时间常数的比率(t/τ)以及相应的最终结算数据(%)和比特数。

表 9 时间延迟与时间常数的比率

t/T	FINAL SETTLING(%)	FINAL SETTLING(Bits)
1	63	2
3	95	5
5	99.3	7
7	99.9	10
10	99.995	14
15	99.9999	20
17	99.999994	24

传感器偏置

集成的电流源提供了一个偏置外部传感器（例如，一个二极管结）的方法；或者它能够验证一个传感器或传感器连接的完整性。当传感器出现开路情况时，电流源会驱动转换器的输入端达到正的满量程。偏置的形式是差分电流（可编程的 1.5uA 或 24uA）连接到多路复用器的输出。

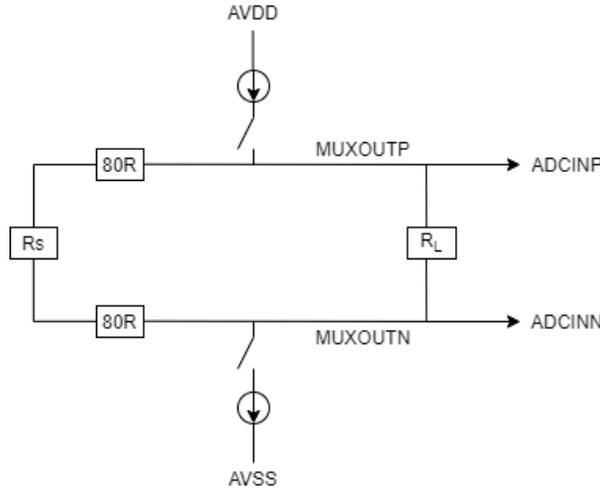


图 10 传感器偏置

传感器开路检测

当传感器开路时，正输入被拉到 AVDD，负输入被拉到 AVSS。在这种配置下，输出代码趋向于正值刻度。

请注意，多路复用器电阻与电流源的相互作用可能导致转换器的线性度下降。建议仅定期启用电流源，以检查开路输入并丢弃相关数据。

外部二极管偏置

在电流源设置为 24uA 的情况下扫描适当的通道，在电流源设置为 1.5uA 的情况下重新扫描相同的通道，两种偏置电流产生的二极管电压读数的差异与温度成正比。

GPIO 数字端口

在待机和掉电模式下，GPIO 保持激活状态。如果被配置为输入，它们必须被驱动（不要浮空）。如果配置为输出，它们将驱动引脚。GPIO 引脚在通电后或复位后被设置为输入。图 11 显示了 GPIO 端口的结构。

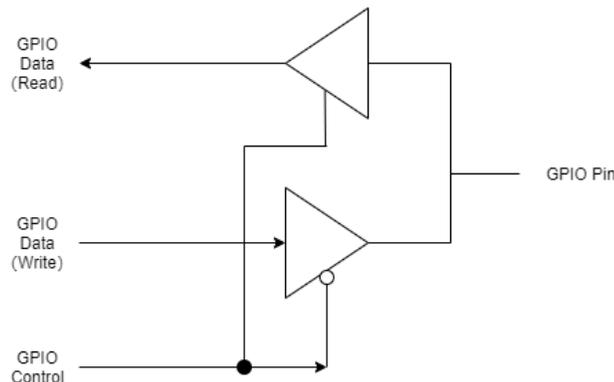


图 11 GPIO 端口

掉电输入 (PWDN)

PWDN引脚用于控制转换器的掉电模式。在掉电模式下，所有的内部电路都被停用，包括振荡器和时钟输出。将PWDN保持在低电平至少两个 f_{CLK} 周期，以进入掉电模式。寄存器的设置在掉电期间被保留，当该引脚返回高电平时，转换器需要一个唤醒时间才能进行读数，如上电时间部分所示。在掉电模式下，SC1642 的输入仍必须被驱动，器件继续驱动输出。

上电时间

当给设备上电或将PWDN引脚拉高以唤醒设备时，在读数之前需要一个唤醒时间。当使用内部振荡器时，唤醒时间由振荡器启动时间和 PLL 锁定时间组成，如果电源也被供电，则有一个 218 个 f_{CLK} 周期的复位间隔时间。注意，在唤醒期间 CLKIO 是无效的，如图 12 所示。

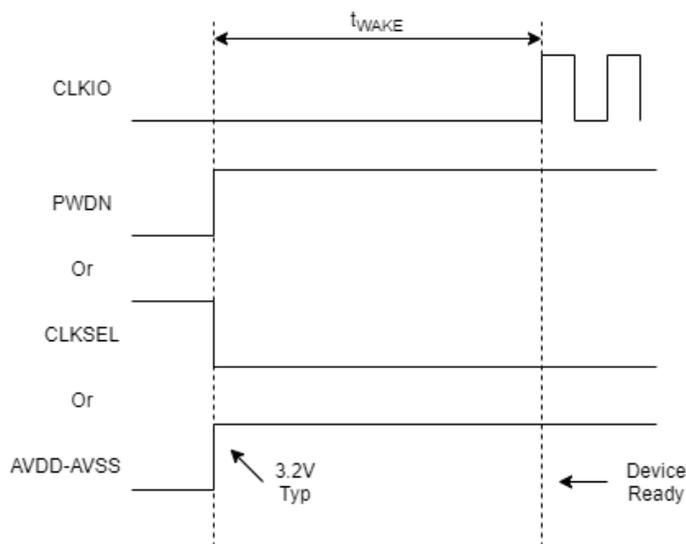


图 12 上电时间

当使用外部时钟的器件时，用PWDN引脚唤醒时的唤醒时间为 $2/f_{CLK}$ ，给电源供电时的唤醒时间为 $218/f_{CLK}$ ，都是在应用有效的 CLKIO 之后，如图 13 所示。

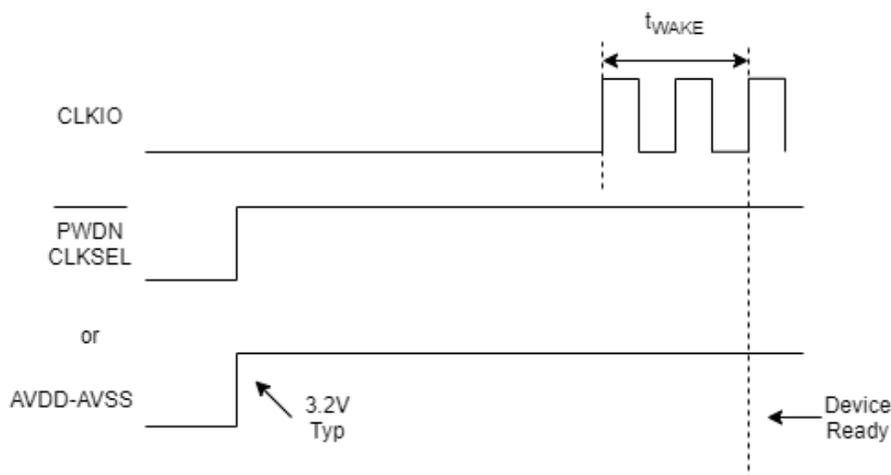


图 13 外部时钟上电时间

表 10 总结了使用内部振荡器和外部时钟操作的唤醒时间。

表 10 内部振荡器和外部时钟操作的唤醒时间

CONDITION	t_{WAKE} INTERNAL OSC	t_{WAKE} EXTERNAL CLOCK
PWDN or CLKSEL	t_{OSC}	$2/f_{CLK}$
AVDD-AVSS	$t_{OSC} + 2^{18}/f_{CLK}$	$2^{18}/f_{CLK}$

开机顺序

在驱动任何模拟或数字输入之前，应使用模拟和数字电源。电源可以按任何顺序进行上电。内部主复位信号由模拟电源（AVDD - AVSS）产生。上电后的主复位信号在功能上与复位命令和 RESET 输入引脚相同。

复位输入(RESET)

当 RESET 保持低电平至少两个 f_{CLK} 周期时，所有的寄存器被重置为其默认值，数字滤波器被清零。当 RESET 被释放为高电平时，器件就可以进行数据转换。上电时，与 PWDN 同时拉高。

时钟选择输入（CLKSEL）

该引脚选择系统时钟的来源：晶体振荡器或外部时钟。将 CLKSEL 连接为低电平以选择晶体振荡器。当使用外部时钟（应用于 CLKIO 引脚）时，请将 CLKSEL 拉高。

SC1642

时钟输入/输出(CLKIO)

该引脚可作为时钟输出或时钟输入，取决于 CLKSEL 引脚的状态。当使用外部时钟时，将外部时钟输入于该引脚，并将 CLKSEL 引脚置高。当使用内部振荡器时，这个引脚可以选择提供内部时钟输出。寄存器 CONFIG0 的 CLKENB 位启用了时钟输出（默认为启用）。

启动输入 (START)

START 是一个控制 ADC 进程的输入引脚。当 START 引脚为高电平时，转换器开始对选定的输入通道进行转换。当 START 引脚被取为低电平时，正在进行的转换运行到完成，转换器停止，然后器件进入两个空闲模式中的一个（更多细节见空闲模式部分）。关于使用 START 引脚的细节，请参见转换控制部分。

数据就绪输出 ($\overline{\text{DRDY}}$)

$\overline{\text{DRDY}}$ 是一个输出引脚，当新的通道数据可供读取时，该引脚发出低电平以指示（之前的转换数据已丢失）。在数据读取操作中， $\overline{\text{DRDY}}$ 在 SCLK 的第一个下降沿后返回高电平。如果数据没有被读取（没有 SCLK 脉冲）， $\overline{\text{DRDY}}$ 保持低电平，直到新通道数据再次可用，然后 $\overline{\text{DRDY}}$ 脉冲为高电平，紧接着转换为低电平表示新数据可用，详见图 14。

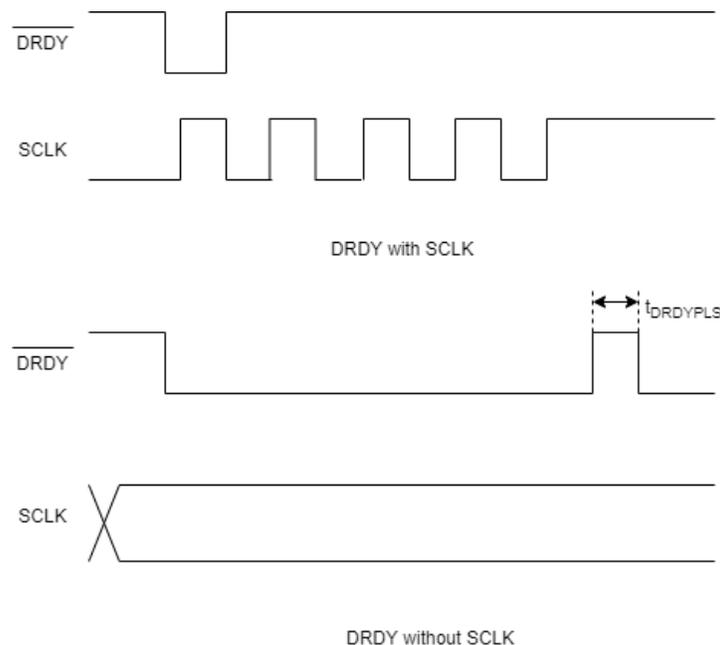


图 14 DRDY 输出

DRDY通常连接到控制器、DSP的中断或连接到控制器的端口引脚，以便在软件循环中进行轮询。通道数据可以不使用DRDY来读取，可以使用寄存器格式读取数据，当NEW位=1时检查状态字节，这表示新的通道数据。

输出数据比例和范围

SC1642 具有两种输出数据模式：

模式一：输入电压等于±VREF所产生的输出数据。输出数据校准为：1LSB=VREF/800000h（芯片默认态数据输出设置）。

输入在以下情况下会出现截止： $|VIN| > VREF$ 。

表 11 寄存器 GAIN (28h) (默认值)

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
40h	NC	1	0	0	0	0	NC	NC

模式二：输入电压等于±VREF所产生的输出数据，在削波前有6.6%的余量。输出数据校准为：1LSB=VREF/780000h（需要配置寄存器28h）。

输入在以下情况下会出现截止： $|VIN| > 1.066 * VREF$ 。

表 12 寄存器 GAIN (28h)

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
3Ch	NC	0	1	1	1	1	NC	NC

转换控制

SC1642的转换是由START引脚控制的。当START引脚被拉高时，转换开始，当START引脚被拉低时，转换停止。

对于连续的转换，将START引脚接高，也可以将START引脚接到低电平，由PULSE转换命令控制转换。PULSE转换命令每输入一个命令就转换一个通道（只能以这种方式）。这样一来，通道转换就可以逐步进行，而不需要切换START引脚。

START 引脚

如图15所示，当START引脚被拉高时，转换从当前通道开始。器件继续转换所有已编程的通道，连续循环，直到START引脚被拉低。当这种情况发生时，转换过程完成，器件进入待机或睡眠模式，等待新的启动条件。当DRDY发出低电平时，转换数据已经准备就绪。图17显示了START引脚到DRDY的时间。当程序列表中最后一个选定的通道被转换后，设备将继续从最高优

SC1642

先级的通道开始转换。如果在自动扫描模式下只选择了一个通道，那么转换器将固定在一个通道上，对任何寄存器的写操作都会将该通道设置为最高优先级的通道。在固定通道模式下，通道选择保持固定。

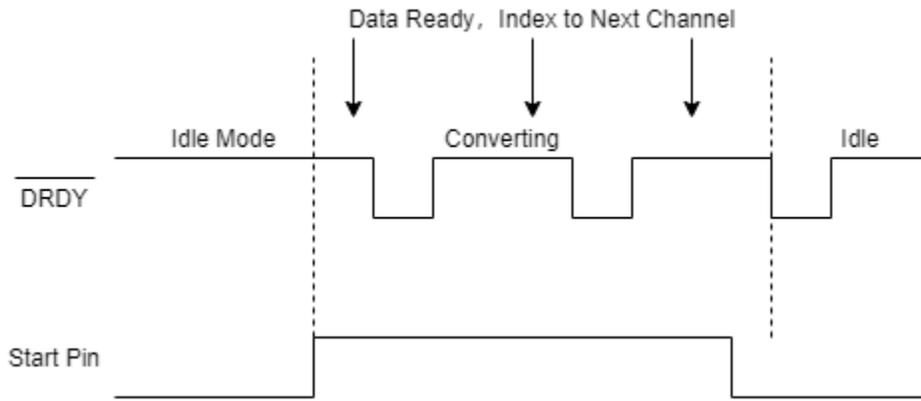


图 15 START 与 DRDY 的时序关系图

脉冲转换命令

图 16 还显示了随着 START 引脚的上升沿而开始转换的情况。如果 START 引脚被拉高，然后在转换周期完成前被拉低（在 DRDY 发出低电平前 $8 \tau_{CLK}$ ），那么只有当前通道被转换，器件进入待机或睡眠模式，等待新的启动条件。图 16 显示了 START 引脚到 DRDY 的时序。使用脉冲转换命令（START 引脚为低电平）可以实现同样的转换控制功能。在这个操作中，每个脉冲转换命令都会转换一个通道的数据。当命令字节完全移入时（SCLK 的第八个下降沿），脉冲转换命令生效。转换后如果启用了—个以上的通道（自动扫描模式），转换器在完成转换后会进入到下一个选定的通道。

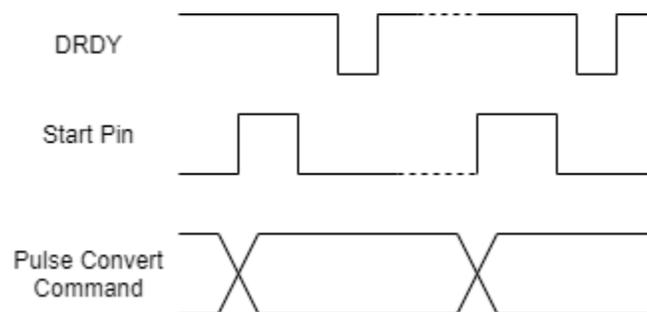


图 16 脉冲转换示意图

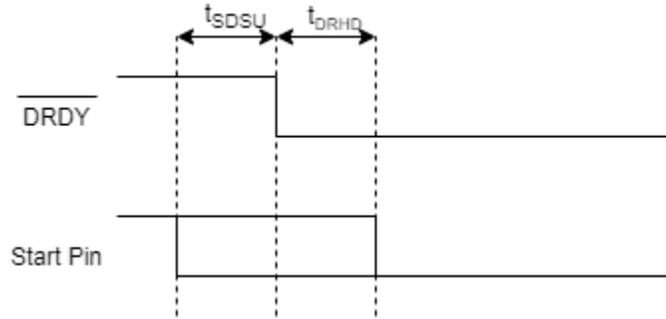


图 17 START 引脚控制

GPIO 连接的 START 引脚控制

START 引脚可以由软件直接控制，方法是在外部连接一个 GPIO 端口引脚到 START 引脚（注意，建议使用一个外部下拉电阻，以防止 GPIO 浮动，直到 GPIO 被配置为输出）。对于这种控制模式，START 引脚是通过写入 GPIO 数据寄存器（GPIO_D）来有效控制的，写入操作会设置或重置相应的位。该数据在数据字节写入的第八个下降沿生效。然后 START 引脚可以由串行接口控制。

初始延迟

如图 18 所示，当启动转换条件发生时，SC1642 的第一个读数会延迟若干个时钟周期，这一延迟允许在第一次数据读取时出现完全稳定的数据，此后的数据读取可以以全数据速率进行。在第一次读数有效之前，延迟的时钟周期数取决于数据速率设置，以及是否退出待机或睡眠模式。表 10 列出了延迟的时钟周期与数据速率的关系。

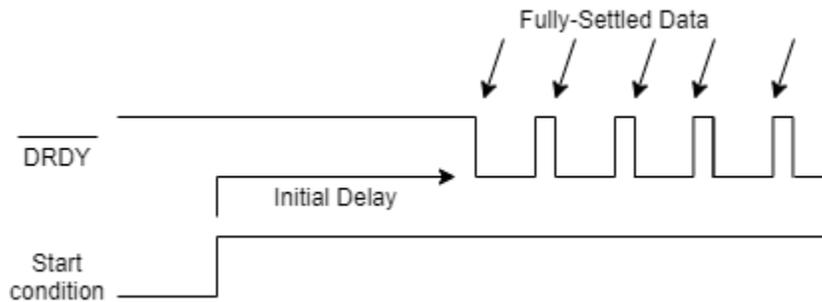


图 18 初始延迟

操作模式

SC1642 的操作模式被定义为三种基本状态：转换模式、空闲模式和断电模式。

SC1642

在转换模式下，器件正在进行转换通道数据，在这种模式下，器件的功率耗散是最高的，该模式分为两个子模式：自动扫描和固定通道。

下一个模式是空闲模式。在这种模式下，器件不转换通道数据。器件保持活动状态，等待输入以开始转换。与转换模式相比，功耗有所降低。这种模式有两个子模式，待机和睡眠。

最后一种模式是电源关闭模式。在这种模式下，转换器的所有功能都被禁用，以将功耗降到最低。

转换模式

SC1642 有两种转换模式：自动扫描和固定通道。在自动扫描模式下，要测量的通道在地址寄存器中被预先设置。当转换条件出现时，转换器会根据触发条件，以连续循环或脉冲步进的方式，自动测量和排列通道的顺序。

在固定通道模式下，在获取通道数据之前，在地址寄存器设置中选择通道地址。当转换条件出现时，转换器会根据触发条件，以连续或脉冲步进的方式转换单个通道。这个模式下的数据速率比自动扫描模式下的数据速率要高，因为输入通道在每次读数时都没有索引。

转换模式的选择由寄存器 CONFIG0 的位 MUXMOD 来设置。

表 13 转换模式与速率

DRATE[1: 0]	INITIAL DELAY(Standby Mode) (f _{CLK} cycles)		INITIAL DELAY(Sleep Mode) (f _{CLK} cycles)	
	Fixed-Channel	Auto-Scan	Fixed-Channel	Auto-Scan
11	802	708	866	772
10	1186	1092	1250	1156
01	2722	2628	2786	2692
00	8866	8772	8930	8836

通信协议

与 SC1642 的通信包括在 SCLK 输入的控制下将数据移入设备（通过 DIN 引脚）或将数据移出设备（通过 DOUT 引脚）。

读取数据 DRDY 为低电平，表示一个通道的数据已经准备就绪。通道数据可以通过直接数据读取（通道数据直接读取）或以寄存器格式读取（通道数据读取寄存器）。直接数据读取要求在下次 DRDY 发生之前读取数据，否则该通道的数据会被下一个通道的新数据覆盖。这种类型的数据读取需要与 DRDY 同步以避免这种冲突。当以寄存器格式读取数据时，数据可以在任何时候

读取，而不必担心 $\overline{\text{DRDY}}$ 。 $\overline{\text{STATUS}}$ 字节的 $\overline{\text{NEW}}$ 位表明，自上次读操作以来，数据寄存器已被刷新为新的转换器数据。数据在 $\overline{\text{STATUS}}$ 字节之后先移出 $\overline{\text{MSB}}$ 。

应该注意的是，在系统上电时，如果SC1642接口信号是浮空的或未定义的，接口可能在未知状态下被唤醒。这种情况可以通过三种方式复位接口来解决：将 $\overline{\text{RESET}}$ 引脚先低后高；将 $\overline{\text{CS}}$ 引脚先高后低；或者保持 $\overline{\text{SCLK}}$ 不活动（218+4096）个 $\overline{\text{fCLK}}$ 周期。

通道数据直接读取

通道数据可以通过两种方式从SC1642访问：直接读取数据或用寄存器格式读取数据。在直接读取时， $\overline{\text{DIN}}$ 输入引脚至少在前三次 $\overline{\text{SCLK}}$ 转换中保持不活动（高或低）。当前三位为000或111时，器件检测到直接数据读取并继续输出转换数据。在检测到器件这种读取格式后，命令被忽略，直到 $\overline{\text{CS}}$ 变化、 $\overline{\text{SPI}}$ 超时或器件被复位。通道数据读取命令没有这个要求。在第一次 $\overline{\text{SCLK}}$ 转换的同时，通道数据会在 $\overline{\text{DOUT}}$ 输出引脚上输出，总共24或32次 $\overline{\text{SCLK}}$ 转换完成数据读取操作。移位的数量取决于状态字节是否被启用。数据必须在下一次 $\overline{\text{DRDY}}$ 发生之前完全移出，否则剩余的数据将被覆盖，建议监控 $\overline{\text{DRDY}}$ ，以同步读取操作的开始，避免数据丢失。在 $\overline{\text{DRDY}}$ 发出低电平之前，状态字节的 $\overline{\text{MSB}}$ 或数据的 $\overline{\text{MSB}}$ 被输出到 $\overline{\text{DOUT}}$ （ $\overline{\text{CS}} = "0"$ ），如图19所示。在这种格式下，在同一 $\overline{\text{DRDY}}$ 帧内第二次读取数据时，返回数据为0。

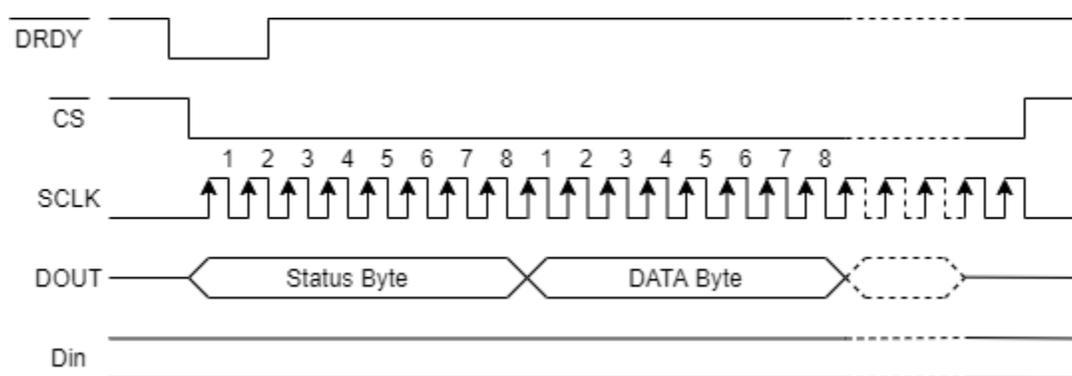


图 19 通道数据直接读取示意图

SC1642

SPI 数据读取方式

SPI 发送 Pulse Convert Command 读取数据。

先通过 SPI 发送 Pulse Convert Command: $8'b100X_XXXX$, 激活 IC, 使得 IC 内部进入相应的数据转换模式。Pulse Convert Command 发送时序如图 20 (内部在时钟上升沿识别 Command)。

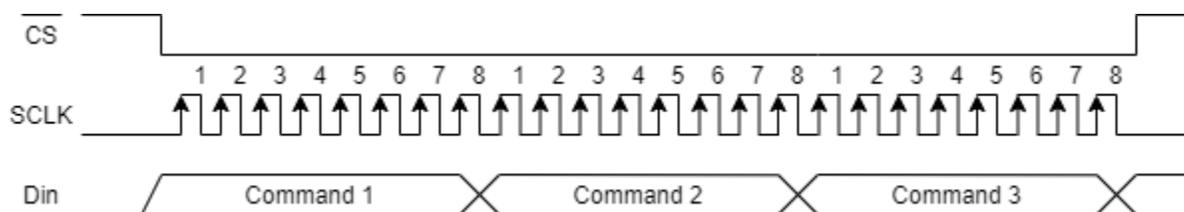


图 20 command 指令

然后通过 SPI 发送 Channel Data Read Command: $8'b0011_XXXX$, 其时序如图 21。

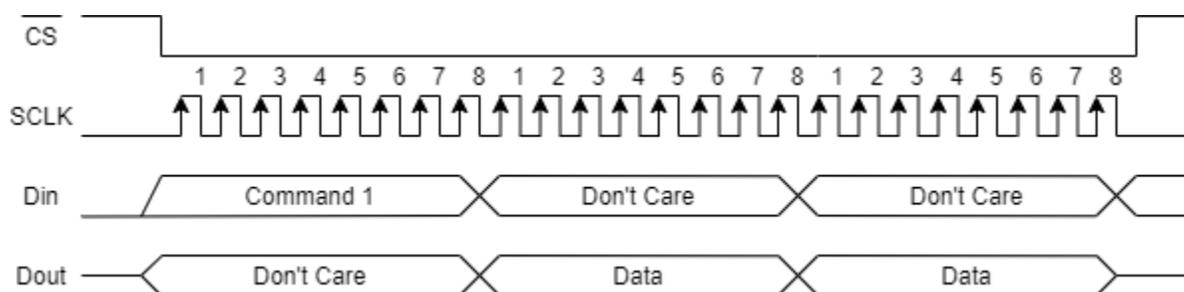


图 21 传输协议

其中, Command Byte 为命令字 $8'b0011_XXXX$, 输出端包含四个 Data, IC 内部在时钟上升沿读取 DIN, IC 外部在时钟上升沿收取 Data, 通过轮询 Status Byte 的 New 位的方式来查看收到的数据是新数据还是旧数据, 其格式如下:

表 14 command 指令

COMMAND BYTE	DESCRIPTION
$8'b101_100_00$	Register address's MSB 00
$8'b101_100_01$	Register address's MSB 01
$8'b101_100_10$	Register address's MSB 10
$8'b101_100_11$	Register address's MSB 11

表 15 数据格式

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
	C2	C1	C0	MUL	A3	A2	A1	A0

通道数据格式如表 15 与 16。

表 16 数据格式

BYTE		BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
1	STATUS	NEW	OVF	SUPPLY	CHID4	CHID3	CHID2	CHID1	CHID0
2	MSB	Data23	Data22	Data21	Data20	Data19	Data18	Data17	Data16
3	MSB-1	Data15	Data14	Data13	Data12	Data11	Data10	Data9	Data8
4	LSB	Data7	Data6	Data5	Data4	Data3	Data2	Data1	Data0

表 17 通道号连续数据格式

BITS CHID[4: 0]	PRIORITY	CHANNEL	DESCRIPTION
00h	1(Highest)	DIFF0(AIN0-AIN1)	DIFFERENTIAL
01h	2	DIFF1(AIN2-AIN3)	DIFFERENTIAL
02h	3	DIFF2(AIN4-AIN5)	DIFFERENTIAL
03h	4	DIFF3(AIN6-AIN7)	DIFFERENTIAL
04h	5	DIFF4(AIN8-AIN9)	DIFFERENTIAL
05h	6	DIFF5(AIN10-AIN11)	DIFFERENTIAL
06h	7	DIFF6(AIN12-AIN13)	DIFFERENTIAL
07h	8	DIFF7(AIN14-AIN15)	DIFFERENTIAL
08h	9	AIN0	SINGLE-ENDED
09h	10	AIN1	SINGLE-ENDED
0Ah	11	AIN2	SINGLE-ENDED
0Bh	12	AIN3	SINGLE-ENDED
0Ch	13	AIN4	SINGLE-ENDED
0Dh	14	AIN5	SINGLE-ENDED
0Eh	15	AIN6	SINGLE-ENDED
0Fh	16	AIN7	SINGLE-ENDED
10h	17	AIN8	SINGLE-ENDED
11h	18	AIN9	SINGLE-ENDED
12h	19	AIN10	SINGLE-ENDED
13h	20	AIN11	SINGLE-ENDED
14h	21	AIN12	SINGLE-ENDED
15h	22	AIN13	SINGLE-ENDED
16h	23	AIN14	SINGLE-ENDED
17h	24	AIN15	SINGLE-ENDED
18h	25	OFFSET	OFFSET
19h	26	VCC	AVDD-AVSS
1Ah	27	TEMP	TEMPERATURE
1Bh	28	GAIN	GAIN
1Ch	29(Lowest)	REF	EXTERNAL REFENCE

SC1642

寄存器读

命令字格式如表 18。

表 18 命令字格式

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
	C2	C1	C0	MUL	A3	A2	A1	A0

为了读寄存器数据，命令字的前三 bit 为 010。第四位为 MUL 位，当 MUL 为 1 时，为连续寄存器读；当 MUL 为 0 时，为单寄存器读。A3-A0 四位为读取的寄存器地址的低四位。IC 内部寄存器地址为 6 位，高两位的寄存器地址通过发送命令字的方式进行设置。其命令字分别如表 19。

表 19 高两位命令字

COMMAND BYTE	DESCRIPTION
8'b101_100_00	Register address's MSB 00
8'b101_100_01	Register address's MSB 01
8'b101_100_10	Register address's MSB 10
8'b101_100_11	Register address's MSB 11

命令字的发送时序如图 22。

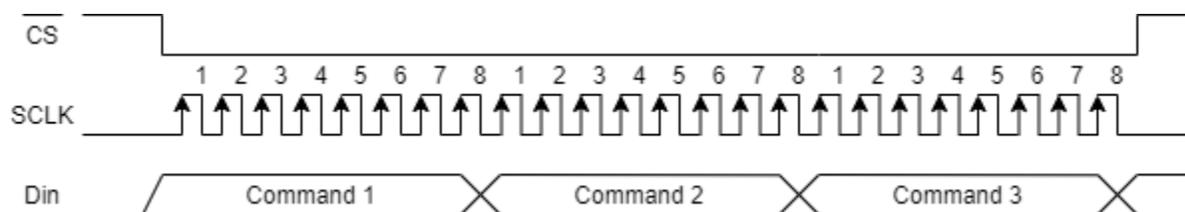


图 22 命令字格式

整体上，寄存器读的时序与通道数据命令读的时序完全相同，时序图如图 23。

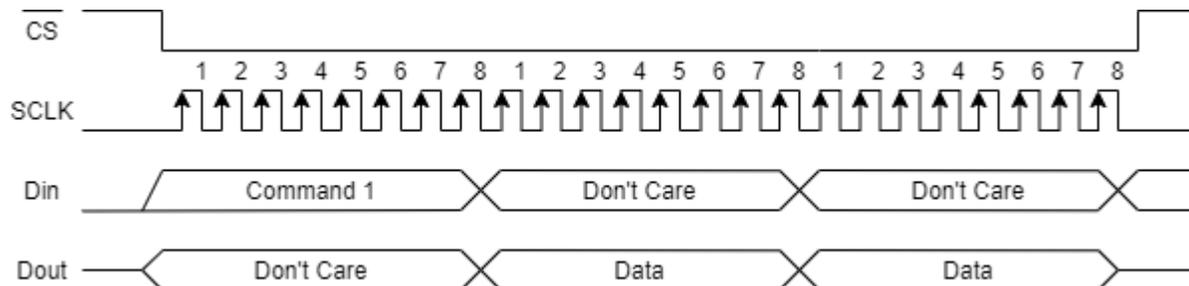


图 23 寄存器读时序

当设置 MUL 为 0 时，单次只读取一个 DATA，即上图中后面只有一个 DATA；当 MUL 为 1 时，寄存器进入连续读模式，后续 DATA 一直读，每次寄存器地址自动累加 1，直到读取至低四位寄存器地址的最大值，即 4'b1111。

寄存器写

命令字格式如表 20。

表 20 命令字格式

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
	C2	C1	C0	MUL	A3	A2	A1	A0

写寄存器时，命令字的前三位为 011。第四位为 MUL 位，当 MUL 为 0 时，单次只写一个寄存器；当 MUL 为 1 时，进行连续写寄存器模式。后面的 A3-A0 为寄存器的低四位地址；高两位地址的设置方式同寄存器读模式。写寄存器的时序如图 24。

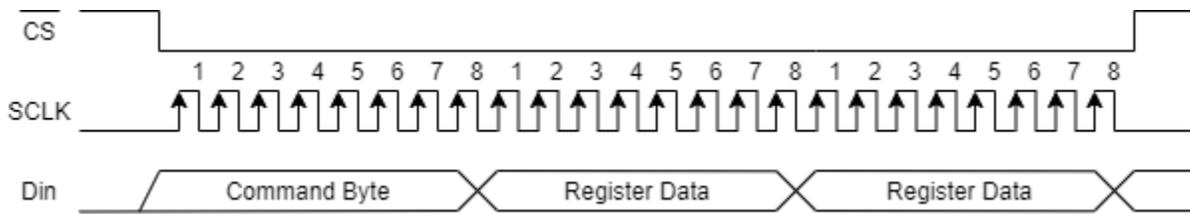


图 24 14 寄存器写时序

当设置 MUL 为 0 时，单次只写一个 DATA，即上图中后面只有一个 DATA；当 MUL 为 1 时，寄存器进入连续写模式，后续 DATA 一直写，每次寄存器地址自动累加 1，直到写至低四位寄存器地址的最大值，即 4'b1111。

寄存器

表 21 寄存器表格

ADDRESS Bits A[3: 0]	REGISTER NAME	DEFAULT VALUE	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00h	CONFIG0	0Ah	0	SPIRST	MUXMOD	BYPAS	CLKENB	CHOP	STAT	0
01h	CONFIG1	83h	IDLMOD	DLY2	DLY1	DLY0	SBCS1	SBCS0	DRATE1	DRATE0
02h	MUXSCH	00h	AINP3	AINP2	AINP1	AINP0	AINN3	AINN2	AINN1	AINN0
03h	MUXDIF	00h	DIFF7	DIFF6	DIFF5	DIFF4	DIFF3	DOFF2	DIFF1	DIFF0
04h	MUXSG0	FFh	AIN7	AIN6	AIN5	AIN4	AIN3	AIN2	AIN1	AIN0
05h	MUXSG1	FFh	AIN15	AIN14	AIN13	AIN12	AIN11	AIN10	AIN9	AIN8
06h	SYSRED	00h	0	0	REF	GAIN	TEMP	VCC	0	OFFSET
07h	GPIOC	FFh	CIO7	CIO6	CIO5	CIO4	CIO3	CIO2	CIO1	CIO0
08h	GPIOD	00h	DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
09h	ID	8Bh	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
14h	ALDO	0Fh	NC	NC	ALDO1	ALDO0	NC	NC	NC	NC
1Bh	PGA	62h	PGA GAIN1	PGA GAIN0	PGA EN	NC	NC	NC	NC	NC
20h	REF	A5h	REF	NC	NC	NC	NC	NC	NC	NC
2Ah	CLK	00h	NC	NC	CLK1	CLK0	NC	NC	NC	NC
0Bh	ADC_VCM	00h	NC	NC	NC	NC	NC	VCM2	VCM1	VCM0
1Eh	IPT_VCM	1Bh	VCM4	VCM3	NC	NC	NC	NC	NC	NC

关于各个寄存器的详细用法，将在表 22-表 39 及下文详细列出。

寄存器 CONFIG0 (00h)

表 22 寄存器 CONFIG0

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0A	0	SPIRST	MUXMOD	BYPAS	CLKENB	CHOP	STAT	0

Bit 7 必须为 0

Bit 6 SPIRST SPI 接口复位定时器

该位设置 SCLK 不活动时，SPI 接口将复位的 f_{CLK} 周期数。这为 SCLK 的频率设置了一个下限，在这个频率下可以向设备读取或写入数据。只有 SPI 接口被复位，而不是芯片本身。当 SPI 接口被复位时，它已经准备好接受新的命令。

0 = 当 SCLK 不活动 4096 个 f_{CLK} 周期 (256us, $f_{CLK}=16\text{MHz}$) 时复位 (默认)。

1 = 当 SCLK 不活动 256 个 f_{CLK} 周期 (16us, $f_{CLK}=16\text{MHz}$) 时复位。

Bit 5 MUXMOD

该位设置自动扫描或固定通道的工作模式。

0 = 自动扫描模式 (默认) 在自动扫描模式下, 输入通道的选择是八个差分通道 (DIFF0-DIFF7) 和 16 个单端通道 (AIN0-AIN15)。此外, 可以选择五个内部监测读数。这些选择是在寄存器 MUXDIF、MUXSG0、MUXSG1 和 SYSRED 中进行的。在这种模式下, 寄存器 MUXSCH 中的设置没有影响。更多细节请参见自动扫描模式部分。

1 = 固定通道模式 在固定通道模式下, 可以选择任何一个模拟输入通道作为正测量和负测量通道。输入在寄存器 MUXSCH 中选择, 在这种模式下, 寄存器 MUXDIF、MUXSG0、MUXSG1 和 SYSRED 都没有作用。注意, 在这种模式下不能选择内部监视器的读数。

Bit 4 BYPAS

该位选择从复用器输出到 ADC 输入的内部或外部连接。

0 = ADC 输入使用内部多路复用器连接 (默认)。

1 = ADC 输入使用外部 ADC 输入 (ADCINP 和 ADCINN)。

请注意, 无论 BYPAS 设置如何, 温度、VCC、增益和基准内部监控器读数自动使用内部连接, 偏移读数使用 BYPAS 的设置。

Bit 3 CLKENB

该位启用 CLKIO 引脚上的时钟输出。时钟输出来自于设备的晶体振荡器和 PLL 电路。

0 = 禁用 CLKIO 上的时钟输出。

1 = 启用 CLKIO 上的时钟输出 (默认)。

注意: 如果 CLKSEL 引脚被设置为 "1", 那么 CLKIO 引脚就只是一个时钟输入。在这种情况下, 设置该位没有影响。

Bit 2 CHOP

该位启用外部多路复用器回路的斩波功能。

0 = 斩波功能被禁用 (默认)

1 = 斩波功能被启用 斩波功能可以纠正来自外部多路复用器回路中使用的元件的偏移; 请参见外部斩波部分。

请注意, 对于内部系统读数 (温度、VCC、增益和参考), CHOP 位必须为 0。

Bit 1 STAT 状态字节启用

当从 SC1642 读取通道数据时, 状态字节通常与转换数据包含在一起, 然而, 在一些 SC1642 的操作模式中, 可以禁用状态字节。

0 = 状态字节已禁用

SC1642

1 = 状态字节已启用（默认）

Bit 0 必须为 0

寄存器 CONFIG1 (01h)

表 23 寄存器 CONFIG1

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
83	IDLMOD	DLY2	DLY1	DLY0	SBCS1	SBCS0	DRATE1	DRATE0

Bit 7 IDLMOD

该位选择设备不转换时的空闲模式，待机模式或睡眠模式。睡眠模式提供了较低的功耗，但有较长的唤醒时间来重新进入运行模式，请参见闲置模式部分。

0 = 选择待机模式

1 = 选择睡眠模式（默认）

Bits DLY[2: 0] 6-4

这些位设置转换器在索引到一个新通道后但在开始一个新转换前延迟的时间量。该值应设置得足够大，以允许在 MUXOUTP、MUXOUTN 和 ADCINP、ADCINN 引脚之间使用的外部滤波或缓冲电路完全稳定。见开关时间延迟部分(默认 = 000)。

Bits SBCS[1: 0] 3-2

这些位设置传感器偏置电流源。

0 = 传感器偏置电流源关闭（默认）

1 = 1.5uA

3 = 24uA

Bits DRATE[1: 0] 1-0

这些位设置转换器的数据速率。较慢的读取速率会产生更高的分辨率，见表 23。表中显示的实际数据速率可能更慢，这取决于开关时间延迟或斩波器功能的使用，见开关时间延迟部分，读取速率与主时钟频率成比例。

表 24 数据速率

DRATE	AUTO SCAN (SPS)	FIXED-CHANNEL (SPS)
11	23739	125000
10	15123	31250
01	6168	7813
00	1831	1953

寄存器 MUXCSCH (02h)

表 25 寄存器 MUXSCH

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00	AINP3	AINP2	AINP1	AINP0	AINN3	AINN2	AINN1	AINN0

该寄存器选择多路复用器的输入通道，用于固定通道模式。寄存器 CONFIG0 中的 MUXMOD 位必须被设置为“1”。在这种模式下，位 AINN[3:0] 选择 ADC 负输入的模拟输入通道，而位 AINP[3:0] 选择 ADC 正输入的模拟输入通道。具体通道选择方法如图 25 及表 26 所示。

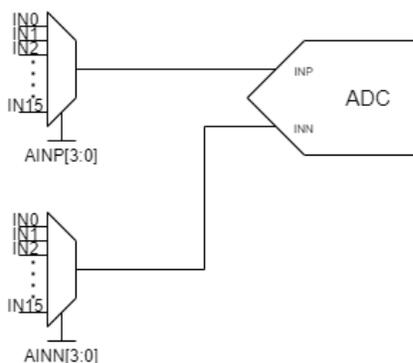


图 25 通道选择示意图

表 26 通道选择表

AINP[3:0]	INP	AINN[3:0]	INN
0000	IN0	0000	IN0
0001	IN1	0001	IN1
0010	IN2	0010	IN2
0011	IN3	0011	IN3
0100	IN4	0100	IN4
0101	IN5	0101	IN5
0110	IN6	0110	IN6
0111	IN7	0111	IN7
1000	IN8	1000	IN8
1001	IN9	1001	IN9
1010	IN10	1010	IN10
1011	IN11	1011	IN11
1100	IN12	1100	IN12
1101	IN13	1101	IN13
1110	IN14	1110	IN14
1111	IN15	1111	IN15

寄存器 MUXDIF、MUXSG0、MUXSG1、SYSRED (03h-06h)

MUXDIF

表 27 寄存器 MUXDIF

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00	DIFF7	DIFF6	DIFF5	DIFF4	DIFF3	DIFF2	DIFF1	DIFF0

MUXSG0

表 28 寄存器 MUXSG0

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FF	AIN7	AIN6	AIN5	AIN4	AIN3	AIN2	AIN1	AIN0

MUXSG1

表 29 寄存器 MUXSG1

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FF	AIN15	AIN14	AIN13	AIN12	AIN11	AIN10	AIN9	AIN8

SYSRED

表 30 寄存器 SYSRED

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00	0	0	REF	GAIN	TEMP	VCC	0	OFFSET

这四个寄存器可以选择输入通道和在自动扫描模式下内部数据读取。

对于差分通道的选择 (DIFF0...DIFF7)，相邻的输入引脚 (AIN0/AIN1, AIN2/AIN3 等) 被预先设置为差分输入，所有的单端输入都是相对于 AINCOM 输入测量的。AINCOM 可以被设置为模拟电源范围内 $\pm 100\text{mV}$ 的任何电平，没有选择的通道在测量序列中被跳过。写入这四个寄存器中的任何一个，都会将内部通道指针重置为具有最高优先级的通道。请注意，表示为“0”的位必须被设置为 0。

0 = 在一个读数序列中没有选择通道。

1 = 在一个读数序列中选择通道。

寄存器 GPIOC (07h)

表 31 寄存器 GPIOC

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FF	CIO7	CIO6	CIO5	CIO4	CIO3	CIO2	CIO1	CIO0

这个寄存器将 GPIO 引脚配置为输入或输出。注意端口的默认配置，引脚是输入，因此它们不应该保持浮空。请参阅 GPIO 数字端口部分。

0 = GPIO 是输出。

1 = GPIO 是一个输入(默认)。

第 7 位 CIO7, Pin GPIO7 的数字 I/O 配置位

第 6 位 CIO6, Pin GPIO6 的数字 I/O 配置位

第 5 位 CIO5, Pin GPIO5 的数字 I/O 配置位

第 4 位 CIO4, Pin GPIO4 的数字 I/O 配置位

第 3 位 CIO3, Pin GPIO3 的数字 I/O 配置位

第 2 位 CIO2, Pin GPIO2 的数字 I/O 配置位

第 1 位 CIO1, Pin GPIO1 的数字 I/O 配置位

第 0 位 CIO0, Pin GPIO0 的数字 I/O 配置位

寄存器 GPIOD (08h)

表 32 寄存器 GPIOD

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00	DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0

这个寄存器是用来读取和写入数据到 GPIO 端口引脚。当读取这个寄存器时，数据返回对应于 GPIO 外部引脚的状态，无论它们被编程为输入或输出。作为输出时，写入 GPIOD 设置输出值。作为输入，对 GPIOD 的写入没有任何效果。详见 GPIO 数字端口部分。

0 = GPIO 逻辑低(默认);

1 = GPIO 逻辑高。

第 7 位 DIO7, 数字 I/O 数据位的引脚 GPIO7

第 6 位 DIO6, 数字 I/O 数据位的引脚 GPIO6

第 5 位 DIO5, 数字 I/O 数据位的引脚 GPIO5

第 4 位 DIO4, 数字 I/O 数据位的引脚 GPIO4

第 3 位 DIO3, 数字 I/O 数据位的引脚 GPIO3

第 2 位 DIO2, 数字 I/O 数据位的引脚 GPIO2

第 1 位 DIO1, 数字 I/O 数据位的引脚 GPIO1

第 0 位 DIO0, 数字 I/O 数据位的引脚 GPIO0

SC1642**寄存器 ID (09h)**

表 33 寄存器 ID

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
8B	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

芯片 ID 位，只读。

寄存器 ALDO (14h)

表 34 寄存器 ALDO

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0F	NC	NC	ALDO1	ALDO0	NC	NC	NC	NC

这个寄存器的第 5 位与第 4 位用来配置模拟部分的 LDO。

11: 1.85V

10: 1.8V

01: 1.7V

00: 1.75V (默认)

寄存器 PGA (1Bh)

表 35 寄存器 PGA

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
62	PGA_GAIN1	PGA_GAIN0	PGA_EN	NC	NC	NC	NC	NC

这个寄存器的第 7 位与第 6 位用来配置 PGA 的增益倍数。

11: 16

10: 32

01: 1

00: 4

这个寄存器的第 5 位用来配置 PGA 的开关。

1: 开

0: 关

寄存器 REF (20h)

表 36 寄存器 REF

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
A5	REF	NC						

这个寄存器的第 7 位用来选择内部或是外部基准电压。

- 1: 外 (默认, 默认基准 4.096V; 若选择 2.5V 基准或 5V 基准需要调整寄存器 0Bh 和 1Eh)
- 0: 内 (内部基准为 4.096V)

寄存器 ADC_VCM (0Bh) 与寄存器 PGA_VCM (1Eh)

表 37 寄存器 ADC_VCM(0Bh)

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00	NC	NC	NC	NC	NC	VCM2	VCM1	VCM0

表 38 寄存器 PGA_VCM(1Eh)

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
1B	VCM4	VCM3	NC	NC	NC	NC	NC	NC

这两个寄存器用来选择 VREF 电压。

如果希望使用 4.096V (默认) 作为 V_{REF}, 那么需要将 0Bh 上的 Bit[2: 0]配置为 000(默认), 并且将 1Eh 上的 Bit[7: 6]配置为 00 (默认)。内部基准和外部基准均适用。

如果希望使用 2.5V 作为 V_{REF}, 那么需要将 0Bh 上的 Bit[2: 0]配置为 011, 并且将 1Eh 上的 Bit[7: 6]配置为 11。仅适用于外部基准。

如果希望使用 5V 作为 V_{REF}, 那么需要将 0Bh 上的 Bit[2: 0]配置为 101, 并且将 1Eh 上的 Bit[7: 6]配置为 01。仅适用于外部基准。

寄存器 CLK (2Ah)

表 39 寄存器 CLK

Default (HEX)	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00	NC	NC	CLK1	CLK0	NC	NC	NC	NC

这个寄存器的第 5 位和第 4 位用来选择时钟速度。

- 00: 16M
- 01: 8M
- 10: 4M
- 11: 2M

订购信息

表 40 订购信息

物料编号	温度范围	封装类型	包装形式
SC1642JDMUMY	-40 ~ 105°C	QFN-48	Tape & Reel

注: 根据客户需求可以定制封装

外形尺寸

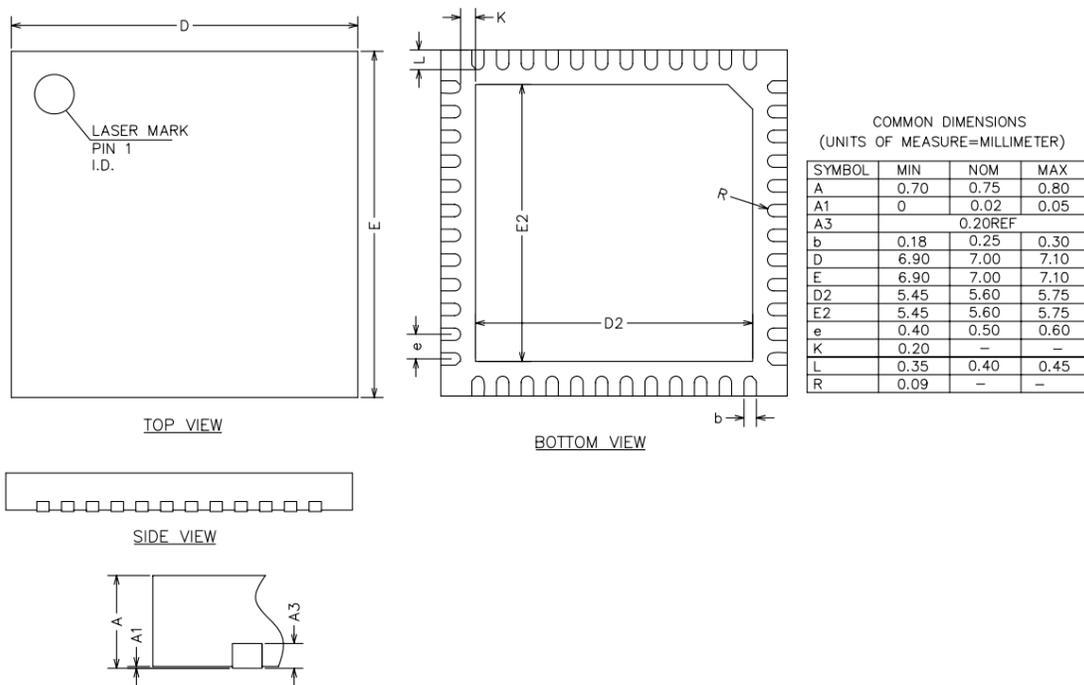


图 26 8 脚 QFN 封装尺寸图

声明

上述资料仅供参考使用，用于协助芯炽客户进行设计与研发。芯炽有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。