

主要性能

- 快速 12 位 ADC，转换时间为 6 微秒
- 单电源供电
- 高速、易用的串行接口
- 片内采样保持放大器
- 低功耗：25mW（典型值）
- 输入范围 ± 10 V
- 8 引脚小型 SOIC 封装

应用场合

- 工业自动化技术
- 可编程逻辑控制器 (PLC)
- 分布式控制系统 (DCS)
- 功能框图：

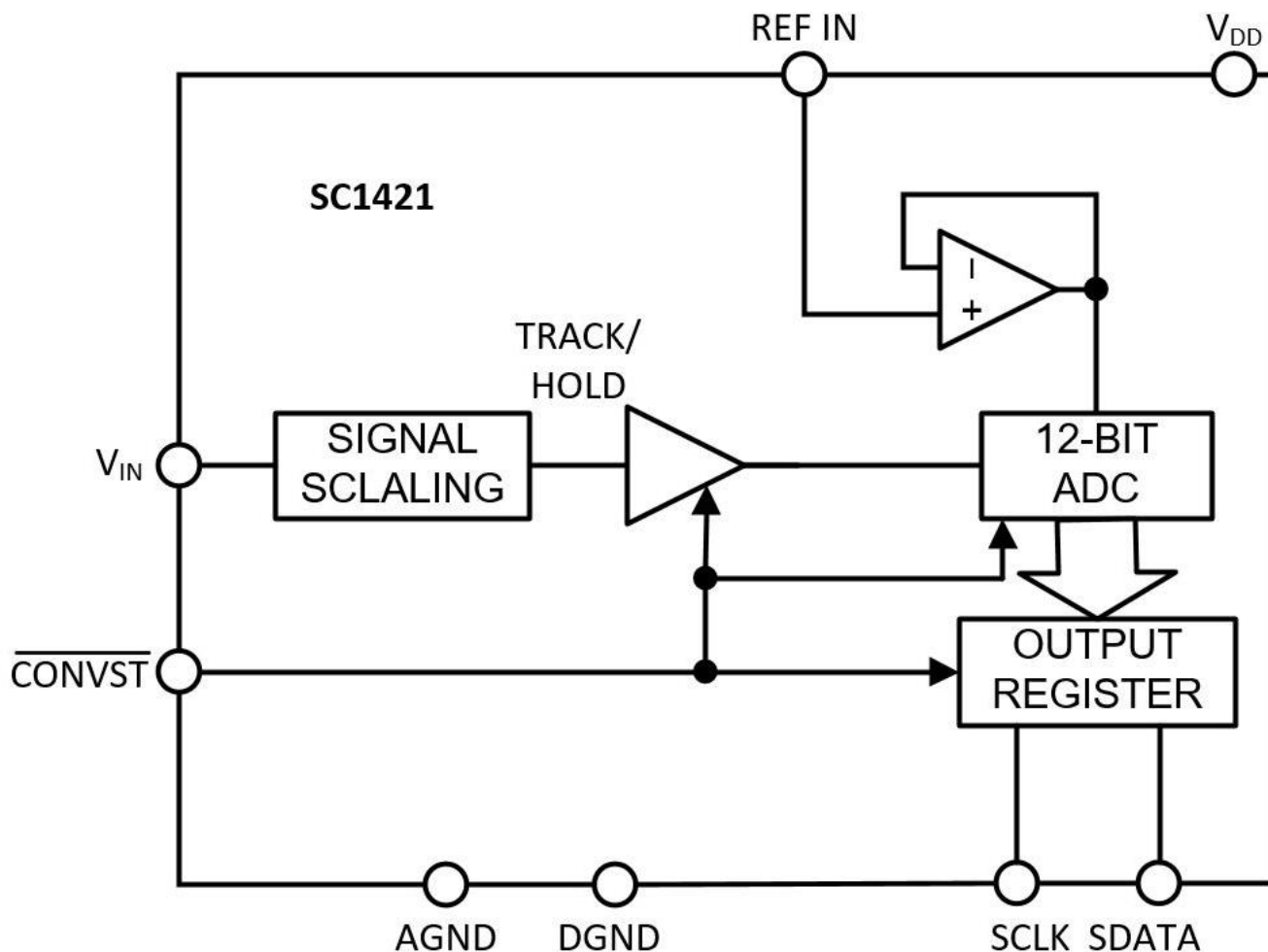


图 1 芯片模块示意图

产品概况

SC1421 是一款快速、12 位 ADC，采用+5 V 单电源供电，该器件内置一个 6 微秒（ μs ）逐次逼近型模数转换器、一个片内采样保持放大器、一个片内时钟和一个高速串行接口。

SC1421 通过一个高速串行接口端口输出数据，这个双线串行接口具有一个串行时钟输入和一个串行数据输出，通过外部串行时钟可访问该器件中的串行数据。除线性度、满量程和失调误差等传统直流精度规格外，SC1421 的动态性能参数也做了详细规定，包括谐波失真和信噪比。

该器件可接受的模拟输入范围为 $\pm 10\text{ V}$ ，采用+5 V 单电源供电，典型功耗仅 25 mW。

SC1421 提供 8 引脚小形集成封装（SOIC）。

产品亮点

1、快速、12 位 ADC 采用 8 针引脚封装

SC1421 内置一个 6 微秒（ μs ）ADC，一个跟踪/保持放大器，控制逻辑和一个高速串行接口，所有这些都封装在 8 针引脚管壳中，这比其他解决方案节省了相当大的空间。

2、低功耗，单电源运行

SC1421 采用+5V 单电源运行，消耗仅为 25 毫瓦。这种低功耗，单电源的特性使它成为电池供电或便携式应用的理想选择。

3、高速串行接口

该部件提供高速串行数据和串行时钟线，允许一个简单的两线串行接口工作。

技术规格

ADC 直流特性

除非另有说明，V_{DD} = +5 V, AGND = DGND = 0 V, REF IN = +2.5 V，T_A=-40°C 至+85°C。

表 1 ADC 特性

参数	最小值	典型值	最大值	单位	测试条件/注释
分辨率		12		位	
无失码		保证			
微分非线性（DNL）		±0.5	±1	LSB	
相对精度		±0.5	±1	LSB	
正满量程误差		±1.5	±3	LSB	
负满量程误差		±1.5	±3	LSB	
模拟输入范围		±10		V	
输入阻抗		16		kΩ	
参考输入电压	2.375	2.5	2.625	V	2.5±5%
参考电压输入电流		2		μA	
参考电压输入电容		10		pF	
V _{DD} 电源电压	+4.75	+5	+5.25	V	指定性能的±5%
I _{VDD} 电源电流		5	9	mA	
功耗		25	45	mW	

ADC 交流特性

除非另有说明，V_{DD} = +5 V, AGND = DGND = 0 V, REF IN = +2.5 V，T_A=-40°C 至+85°C。

表 2 数字规格参数

参数	最小值	典型值	最大值	单位	测试条件/注释
信噪比(SNR)	70			dB	f _{IN} =10 kHz Sine Wave, f _{SAMPLE} =117 kHz
总谐波失真(THD)			-80	dB	f _{IN} =10 kHz Sine Wave, f _{SAMPLE} =117 kHz
峰值谐波或杂散噪声 (SFDR)			-80	dB	f _{IN} =10 kHz Sine Wave, f _{SAMPLE} =117 kHz
互调失真(IMD)					f _a =9 kHz, f _b =9.5 kHz, f _{SAMPLE} =117 kHz
二阶项			-80	dB	
三阶项			-80	dB	

数字规格

除非另有说明， $V_{DD} = +5\text{ V}$, $AGND = DGND = 0\text{ V}$, $REF\ IN = +2.5\text{ V}$, $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。

表 3 数字规格参数

参数	最小值	典型值	最大值	单位	测试条件/注释
转换速率					
转换时间			6	μs	
采集时间			1.5	μs	
逻辑输入					
逻辑 1 电压	2.4			V	$V_{DD} = 5\text{ V} \pm 5\%$
逻辑 0 电压			0.8	V	$V_{DD} = 5\text{ V} \pm 5\%$
输入电流			± 10	μA	$V_{IN} = 0\text{ V to } V_{DD}$
输入电容			10	pF	
数字输出					
逻辑 1 电压	4			V	$I_{SOURCE} = 200\text{ }\mu\text{A}$
逻辑 0 电压			0.4	V	$I_{SINK} = 1.6\text{ mA}$
编码格式（默认）		二进制补码			

时序规格

除非另有说明， $V_{DD} = +5\text{ V}$, $AGND = DGND = 0\text{ V}$, $REF\ IN = +2.5\text{ V}$, $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 。

表4 通用时序规格参数

参数	最小值	典型值	最大值	单位	描述
t_1	50			ns	$\overline{\text{CONVST}}$ 电平脉冲宽度
t_2	60			ns	SCLK 高电平脉冲宽度
t_3	30			ns	SCLK 低电平脉冲宽度
t_4		50		ns	SCLK 上升沿到数据有效延迟
t_5	10			ns	SCLK 下降沿后的总线需要时间
		100		ns	

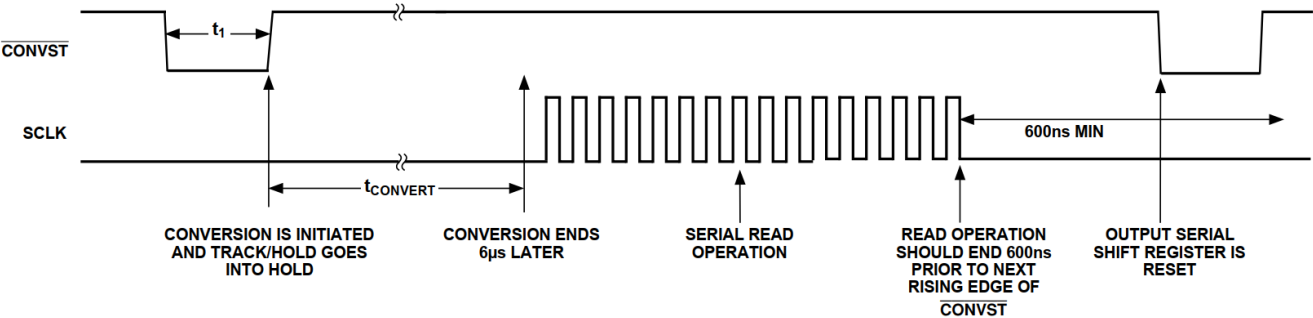


图2 $\overline{\text{CONVST}}$ 常规工作时序图

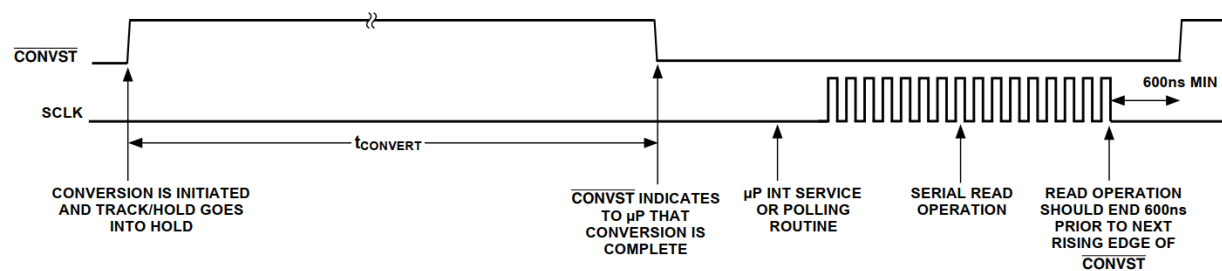


图3 $\overline{\text{CONVST}}$ 用作状态信号时序图

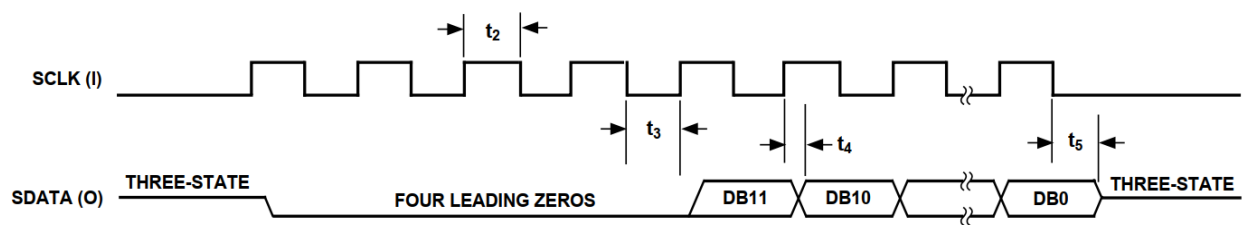


图4 数据读取时序图

极限参数

V _{DD} 至 AGND	-0.3V 至 7V
V _{DD} 至 DGND	-0.3V 至 7V
模拟输入电压至 AGND.....	±17V
REFIN 至 AGND	-0.3V 至 V _{DD} +0.3V
数字输入电压至 DGND.....	-0.3V 至 V _{DD} +0.3V
数字输出电压至 DGND.....	-0.3V 至 V _{DD} +0.3V
最大结温 T _{J,MAX}	150°C
工作温度范围.....	-40°C 至 85°C
存储温度范围.....	-65°C 至 150°C
ESD(Human Body Model) 除模拟输入外.....	2000V
ESD(Human Body Model) 模拟输入.....	8000V

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。
在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

管脚(焊盘)配置及功能说明

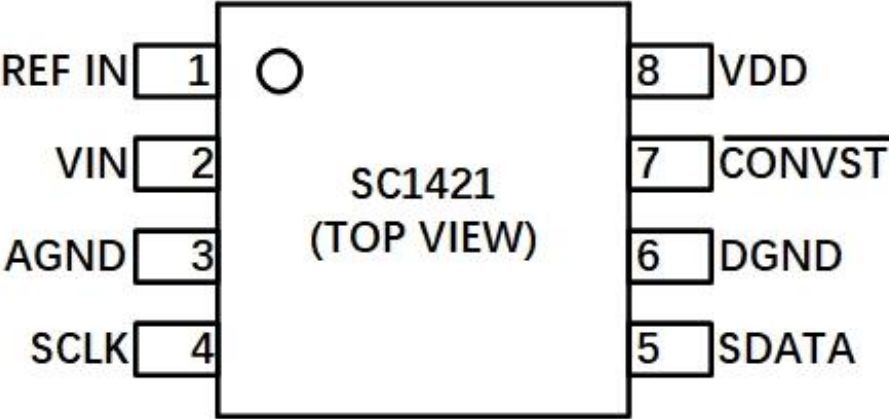


图 5 管脚（焊盘）配置

表 7 管脚定义

引脚编号	名称	功能
1	REF IN	参考电压输入。一个外部参考源应该连接到这个引脚，为SC1421的转换过程提供参考电压。REF IN输入具有片上缓冲，正确工作的标称参考电压为+2.5 V。
2	V _{IN}	模拟输入通道。模拟输入范围为±10V。
3	AGND	模拟地面。跟踪/保持、比较器和DAC的地面参考。
4	SCLK	串行时钟输入。外部串行时钟应用于该输入，从SC1421获得串行数据。一个新的串行数据位在这个串行时钟的上升沿上被时钟输出，而数据在下降沿上是有效的。在串行数据传输结束时，串行时钟输入应该取低电平。
5	SDATA	串行数据输出。在这个输出端提供来自SC1421的串行数据。串行数据在SCLK的上升沿时钟输出，并在SCLK的下降沿有效。串行数据的16位提供4个前导零，后面跟着12位转换数据。在SCLK的第十六下降边缘，SDATA线路被禁用(三态)，输出数据编码是二进制补码。
6	DGND	数字地面。数字电路接地基准。
7	CONVST	转换的开始。边沿触发逻辑输入，在这个输入的下降沿上，串行时钟计数器被重置为零。在这个输入的上升边缘上，跟踪/保持进入它的保持模式并开始转换
8	V _{DD}	正电源电压，+ 5V±5%

术语

信噪失真比(SNDR)

信噪失真比(SNDR)是输入频率的 RMS 幅值与 ADC 输出处所有其他频率分量的 RMS 幅值之比。测量中仅包括奈奎斯特频限内的谐波，即采样频率的一半之间的频段。

$$ENOB = \frac{SNDR - 1.76}{6.02}$$

因此对于 12 位转换器，SNDR 的最大值为 74dB。

总谐波失真(THD)

总谐波失真(THD)是谐波的均方根和与基波的比值。对于 SC1421 定义为:

$$THD = 20 * \text{Log} (\sqrt{(V2^2 + V3^2 + V4^2 + V5^2 + V6^2)} / V1)$$

V1 是基波的 rms 振幅，V2,V3,V4,V5 和 V6 是第二次到第六次谐波的均方根振幅。

峰值谐波或杂散噪声(SFDR)

峰值谐波或杂散噪声被定义为 ADC 输出频谱中第二大分量(最高为 $f_s/2$ ，不包括直流)的均方根值与基本分量均方根值的比值，该值是由频谱中的最大谐波确定的。

互调失真(IMD)

当输入由两个频率(f_a 和 f_b)的正弦波组成时，任何具有非线性的有源器件都会在 $m f_a \pm n f_b$ 的和频和差频处产生失真，其中 $m, n = 0, 1, 2, 3$ 等。互调项是 m 和 n 都不为零的项。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。二阶项通常在频率上与原始正弦波保持距离，而三阶项通常在接近输入频率的频率上。因此，二阶项和三阶项是分别指定的。互调失真的计算按 THD 规范进行，其中它是单个失真乘积的均方根和与以 dB 表示的基元的均方根振幅之比。

相对精度

相对精度或端点非线性是指通过 ADC 传递函数端点的直线的最大偏差。

微分非线性

这是 ADC 中任意两个相邻代码之间的测量值和理想的 1 LSB 变化之间的差值。

跟踪保持获取时间

跟踪/保持采集时间是跟踪/保持放大器输出在转换结束后(即跟踪/保持恢复到跟踪模式的点)，在 $1/2 \text{LSB}$ 内达到最终值所需的时间。它也适用于芯片 V_{IN} 输入电压有阶跃输入变化的情况。这

意味着，用户必须等待跟踪/保持采集时间的持续时间后，转换结束或在步进输入更改为 VIN 后，开始另一个转换，以确保芯片工作规范。

转换细节

SC1421 是一款快速的 12 位 A/D 转换器。它在一个单片机上为用户提供信号缩放、跟踪/保持、A/D 转换和串行接口逻辑功能。SC1421 的 A/D 转换器部分由一个传统的基于 R-2R 阶梯结构的逐次逼近转换器组成。该芯片需要外接+2.5 V 参考电压，对该芯片的参考输入具有片内缓冲。SC1421 的一个主要优点是，它在一个 8 针封装中提供了上述所有功能，与其他解决方案相比，这为用户提供了相当大的节省空间的优势，SC1421 通常只消耗 13mW，使其成为电池供电应用的理想选择。转换在 SC1421 上通过脉冲输入 CONVST 启动。在 CONVST 的上升边缘，片上跟踪/保持模式从跟踪-保持模式切换到转换序列开始。芯片的转换时钟使用片内时钟振荡器电路在内部产生。SC1421 的转换时间为 6 μ s，跟踪/保持采集时间为 1.5 μ s，要使芯片转换获得最佳性能，在转换期间或在下一个转换之前的 600ns 期间不应发生读操作，这允许芯片在吞吐量率高达 117kHz 时工作。

电路说明

模拟输入

SC1421 的模拟输入部分如图 6 所示。SC1421 的模拟输入范围是±10V 输入电压输入电阻通常为 33kΩ。这个输入没有动态充电电流，因为电阻级之后是一个高输入阻抗级的轨道/保持放大器。SC1421 的 R1=30kΩ，R2=7.5kΩ，R3=10kΩ。

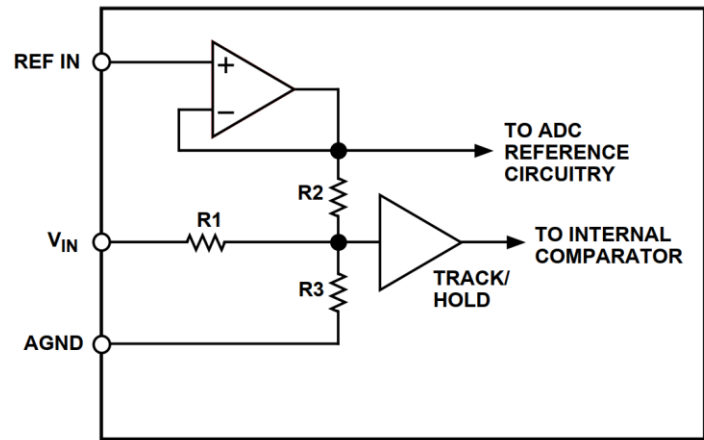


图 6 SC1421 模拟输入结构

对于 SC1421，设计的代码转换发生在连续的整数 LSB 值上(即 1 LSB, 2 LSB, 3 LSB...). 输出编码为 2 个补码二进制，1 LSB = FSR/4096。SC1421 的理想输入输出传递函数如表 6 所示。

表 6 SC1421 的理想输入/输出编码表

模拟输入 ¹	数字输出码转换
+FSR/2 – 1 LSB ²	011 ... 110 to 011 ... 111
+FSR/2 – 2 LSBs	011 ... 101 to 011 ... 110
+FSR/2 – 3 LSBs	011 ... 100 to 011 ... 101
AGND + 1 LSB	000 ... 000 to 000 ... 001
AGND	111 ... 111 to 000 ... 000
AGND – 1 LSB	111 ... 110 to 111 ... 111
–FSR/2 + 3 LSBs	100 ... 010 to 100 ... 011
–FSR/2 + 2 LSBs	100 ... 001 to 100 ... 010
–FSR/2 + 1 LSB	100 ... 000 to 100 ... 001

- 1. FSR 是满量程为 20V，REF IN= +2.5V。
- 2. 1 LSB = FSR/4096 = 4.883 mV，REF IN= +2.5V

跟踪/保持部分

SC1421 模拟输入上的跟踪/保持放大器允许 ADC 精确地将一个满量程幅度的输入正弦波转换为 12 位精度，跟踪/保持的输入带宽大于 ADC 的奈奎斯特速率，即使在 ADC 的最大吞吐量为 117 kHz 时也是如此。(跟踪/保持可以处理超过 58 kHz 的输入频率)

跟踪/保持放大器在不到 1.5 μ s 的时间内获得 12 位精度的输入信号，跟踪/保持的操作对用户来说基本上是透明的。跟踪/保持放大器在转换开始时从跟踪模式进入保持模式(即 $\overline{\text{CONVST}}$ 上升沿)。跟踪/保持状态的孔径时间(即外部 $\overline{\text{CONVST}}$ 信号与跟踪/保持状态实际进入保持状态之间的延迟时间)通常为 15ns。在转换结束($\overline{\text{CONVST}}$ 上升边缘后 6 μ s)后，跟踪/保持放大器返回到它的跟踪模式，跟踪/保持放大器的采集时间从这一点开始。

参考电压输入

SC1421 的参考输入内部具有一个片上缓冲，最大参考输入电流为 1 μ A，参考输入电压被指定为+2.5 V。参考源中的误差将导致 SC1421 转换过程中的增益误差，并将增加芯片所指定的满量程误差，也会导致在衰减器阶段注入偏移误差。SC1421 合适的参考源包括 AD780 和 AD680。

时序和控制部分

图 2 显示了从 SC1421 获得最佳性能所需的时间和控制顺序。在图中所示的序列中，转换在 $\overline{\text{CONVST}}$ 上升沿开始，6 μ s 后 SC1421 的输出寄存器中就可以得到来自这一转换的新数据。一旦读取操作发生，在 $\overline{\text{CONVST}}$ 的下一个上升边缘之前应该允许再增加 600ns，以在下一次转换开始之前优化轨道/保持放大器的建立。在串行时钟频率最高为 8.33MHz 的情况下，芯片可实现的吞吐量为 6 μ s (转换时间)+ 1.92 μ s (读取时间)+ 0.6 μ s (采集时间)，这将导致 8.52 μ s 的最小吞吐量时间(相当于 117 kHz 的吞吐量速率)。

读取操作由 16 个串行时钟脉冲到 SC1421 的输出移位寄存器组成。经过 16 个串行时钟脉冲后，移位寄存器复位，此时 SDATA 输出线为三态。如果在第十六个时钟之后有更多的串行时钟脉冲，移位寄存器将被移动到其复位状态；然而，移位寄存器将在 $\overline{\text{CONVST}}$ 信号的下降沿再次复位，以确保芯片在每个转换周期返回到一个已知的状态。因此，从输出寄存器进行的读取操作不应该跨越 $\overline{\text{CONVST}}$ 的下降沿，因为此种情况下输出移位寄存器将在读取操作的中间复位，而读回微处理器的数据将被视为无效。

由于 SC1421 采用 8 引脚封装，以最小化电路板空间，可用于接口的引脚数量非常有限。因此，SC1421 没有提供状态信号来指示转换何时完成。在许多应用中，这不会是一个问题，因为数据可以在转换期间或转换后从 SC1421 读取；然而，想要从 SC1421 获得最佳性能的应用程序必须确保数据读取不会发生在转换期间或在 $\overline{\text{CONVST}}$ 上升边缘之前的 600ns 期间。这可以通过两种方式实现，第一个是在软件中确保读操作直到 $\overline{\text{CONVST}}$ 上升沿后 6 μs 再进行，只有当软件知道何时发出 $\overline{\text{CONVST}}$ 命令时，这才有可能；第二种方案是使用 $\overline{\text{CONVST}}$ 信号作为转换开始信号和中断信号。最简单的方法是为 $\overline{\text{CONVST}}$ 生成一个高低时间为 6 μs 的方波信号(见图 3)，转换在 $\overline{\text{CONVST}}$ 上升边缘开始， $\overline{\text{CONVST}}$ 的下降沿发生在 6 μs 之后，可以作为一个活跃的低电平信号或下降沿触发的中断信号来告诉处理器从 SC1421 读取数据。如果读取操作在 $\overline{\text{CONVST}}$ 上升沿前 600ns 完成，SC1421 将按规定操作。

该方案将吞吐量限制在 12 μs 以内；然而，根据微处理器对中断信号的响应时间和处理器读取数据所花费的时间，这可能是系统运行的最快时间。在任何情况下， $\overline{\text{CONVST}}$ 信号不必有 50:50 占空比。这可以进行定制，以优化给定系统的零件吞吐量率。或者， $\overline{\text{CONVST}}$ 信号可以作为一个正常的窄脉宽， $\overline{\text{CONVST}}$ 的上升沿可以作为一个活跃的高或上升沿触发中断，在读取数据之前，可以实现 6 μs 的软件延迟。

串行接口

SC1421 的串行接口仅由两根线组成，一个串行时钟输入(SCLK)和一个串行数据输出(SDATA)，这是大多数微控制器，DSP 处理器和移位寄存器都易于使用的接口。

图 4 显示了 SC1421 读取操作的时序图，串行时钟输入(SCLK)为串行接口提供时钟源，串行数据在该时钟的上升沿上从 SDATA 线时钟输出，在 SCLK 的下降沿上有效。必须提供 16 个时钟脉冲的部分，以充分获得转换结果，SC1421 提供四个前导零，后面跟着以 MSB (DB11)开始的 12 位转换结果，最后上升时钟边缘的最后一个数据位是 LSB (DB0)，在 SCLK 的第十六下降沿，SDATA 线被禁用(三态)。在最后一位被敲出后，SCLK 输入应该返回低电平，并一直保持低电平，直到下一次串行数据读取操作；如果在第十六个时钟之后还有额外的时钟脉冲，SC1421 将重新开始，从其输出寄存器输出数据，即使时钟停止，数据总线也将不再是三态模式；如果串行时钟在 $\overline{\text{CONVST}}$ 的下一个下降沿之前停止，SC1421 将继续正常工作，输出移位寄存器在 $\overline{\text{CONVST}}$ 下降沿复位；然而，当 $\overline{\text{CONVST}}$ 变低时，SCLK 线必须是低的，以便正确地复位输出移位寄存器。

串行时钟输入在串行读取操作期间不必是连续的，这 16 位数据(4 个前导零和 12 位转换结果)可以从 SC1421 以字节数读取，然而，SCLR 输入必须在两个字节之间保持低电平。

通常，输出寄存器在转换结束时更新。当转换完成时，从输出寄存器的串行读取正在进行，但是，输出寄存器的更新是延迟的，在这种情况下，当串行读取完成时，输出寄存器将被更新。如果串行读取在 $\overline{\text{CONVST}}$ 的下一个下降沿之前没有完成，输出寄存器将在 $\overline{\text{CONVST}}$ 的下降沿更新，并复位输出移位寄存器计数。在应用程序中，若数据读取已经启动，但在 $\overline{\text{CONVST}}$ 下降沿之前没有完成，用户必须提供大于 $1.5\mu\text{s}$ 的 $\overline{\text{CONVST}}$ 脉冲宽度，以确保在下一个转换开始之前 SC1421 的正确设置；在应用程序中，输出更新要么发生在转换结束，要么发生在 $\overline{\text{CONVST}}$ 上升沿前 $1.5\mu\text{s}$ 完成的串行读取结束时，通常最小 50ns 的脉宽适用于 $\overline{\text{CONVST}}$ 。

SC1421 对串行时钟边缘进行计数，以知道从输出寄存器的哪个位应该放在 SDATA 输出上，为了确保部分不丢失同步，只要 SCLR 线是低的，串行时钟计数器在 $\overline{\text{CONVST}}$ 输入的下降沿复位。用户应该确保在串行数据读取操作进行时，不会出现 CONVST 输入上的下降沿。

微处理器/微控制器接口

SC1421 提供双线串行接口，可用于连接 DSP 处理器和微控制器的串口。图 7 到 10 显示 SC1421 与许多不同的微控制器和 DSP 处理器的接口。SC1421 接受外部串行时钟，因此，在这里显示的所有接口中，处理器/控制器被配置为主机，为串行时钟提供 SC1421 被配置为系统中的从机。

SC1421-8051 接口

图 7 显示了 SC1421 和 8XC51 微控制器之间的接口，8XC51 配置了 Mode 0 串口模式，该图显示了最简单的接口形式，其中 SC1421 是连接到 8XC51 串口的唯一部分，因此，不需要对串行读取操作进行解码，它也没有规定在 SC1421 上完成转换时进行监控。

要在多个设备连接到 8XC51 串口的系统中选择 SC1421 芯片，可使用 8XC51 并行端口之一的输出的端口位来对 SC1421 的串行时钟进行打开或关闭，该端口位上的一个简单的 AND 函数和 8XC51 的串行时钟将提供此功能，选择 SC1421 时，端口位要高；未选择时，端口位要低。

为了监控 SC1421 上的转换时间，可以使用如前所述的 $\overline{\text{CONVST}}$ 方案，这可以通过两种方式实现：一种是将 $\overline{\text{CONVST}}$ 线连接到另一个被配置为输入的并行端口位。然后可以轮询该端口位以确定转换何时完成；另一种选择是使用中断驱动系统，在这种情况下， $\overline{\text{CONVST}}$ 线应该连接到 8XC51 的 INT1 输入。

8XC51 的串行时钟速率被限制到远远小于 SC1421 可以工作的允许输入串行时钟频率，因此从芯片读取数据的时间实际上会比芯片的转换时间长。这意味着当与 8XC51 一起使用时，SC1421 不能以其最大吞吐量速率运行。

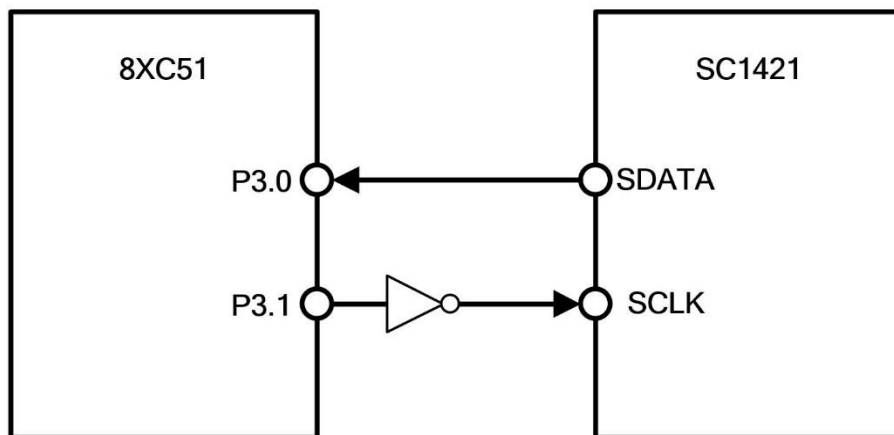


图 7 SC1421 与 8XC51 接口

SC1421-68HC11 接口

SC1421 与 68HC11 单片机之间的接口电路如图 8 所示，使用的是 68HC11 的 SPI 接口，并将 68HC11 配置为单片机模式，68HC11 主模式配置，CPOL 位为逻辑零，CPHA 位为逻辑零。与之前的接口一样，图中显示了最简单的接口形式，其中 SC1421 是唯一连接到 68HC11 串口的部分，因此，串行读取操作不需要解码。它也没有规定在 SC1421 上完成转换时进行监控。

在多个设备连接到 68HC11 串口的系统中选择 SC1421 芯片，可以使用 68HC11 的并行端口之一的输出端口位来对 SC1421 的串行时钟进行开关。该端口位上的一个简单的 AND 函数和 8XC51 的串行时钟将提供此功能，选择 SC1421 时，端口位要高；未选择时，端口位要低。

要监控 SC1421 上的转换时间，可以使用如前所述的 CONVST 方案，这可以通过两种方式实现。一种是将 CONVST 线连接到另一个被配置为输入的并行端口位，然后可以轮询该端口位以确定转换何时完成；另一种选择是使用中断驱动系统，在这种情况下，CONVST 线应该连接到 68HC11 的 IRQ 输入

68HC11 的串行时钟速率被限制到远远小于 SC1421 可以工作的允许输入串行时钟频率，因此从芯片读取数据的时间实际上会比芯片的转换时间长，这意味着当与 68HC11 一起使用时，SC1421 不能以其最大吞吐量速率运行。

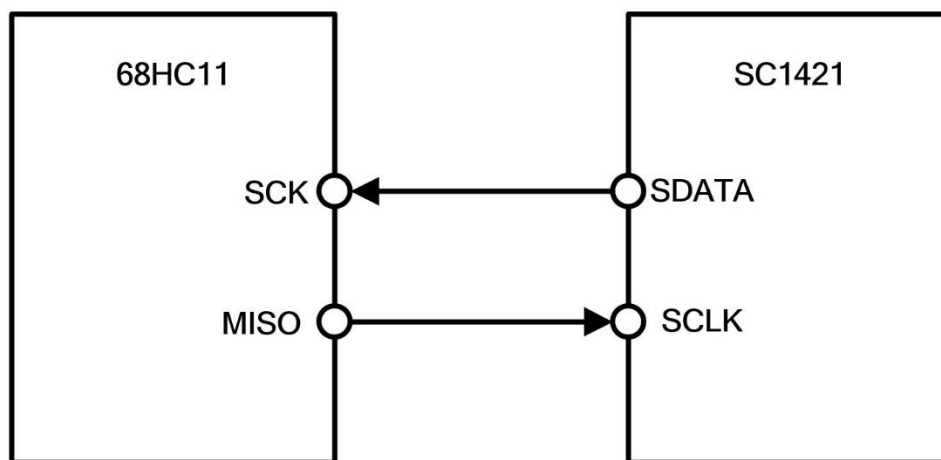


图 8 SC1421 与 68HC11 接口

SC1421-ADSP-2105 接口

SC1421 与 ADSP-2105 DSP 处理器之间的接口电路如图 9 所示，ADSP-2105 中 SPORT1 的 RFS1 输出用于 ADSP-2105 的串行时钟(SCLK1)的门控，然后应用到 SC1421 的 SCLK 输入，RFS1 输出配置为高有效，该接口仅提供 16 个串行时钟脉冲，确保 SC1421 的串行时钟输入是非连续的，并且 SC1421 的串行时钟线在数据传输之间保持低电平。SC1421 的 SDATA 线连接 ADSP-2105 串口的 DR1 线。

ADSP-2105 的 SCLK1 和 RFS1 输出之间的时序关系为：SCLK1 的上升沿与一个活跃的高 RFS1 的上升沿之间的延迟可达 25 ns，还有一个要求，数据必须设置在 SCLK1 下降沿之前 10ns，以便 ADSP-2105 能够正确读取。SC1421 的数据访问时间是其 SCLK 输入上升沿的 50ns，假设通过外部 AND 门有 10ns 的传播延迟，ADSP-2105 的 SCLK1 输出的高时间必须 $\geq(50 + 25 + 10 + 10)$ ns，即 ≥ 95 ns，这意味着接口所能工作的串行时钟频率被限制在 5.26 MHz。

另一种方案是配置 ADSP-2105 接受外部串行时钟，在这种情况下，提供了一个外部非连续串行时钟，驱动 ADSP-2105 和 SC1421 的串行时钟输入，在该方案中，串行时钟频率被 ADSP-2105 限制在 5MHz 以内。

为了监控 SC1421 上的转换时间，可以使用如前所述的 $\overline{\text{CONVST}}$ 方案，这可以通过将 CONVST 线直接连接到 ADSP-2105 的 IRQ2 输入来实现。

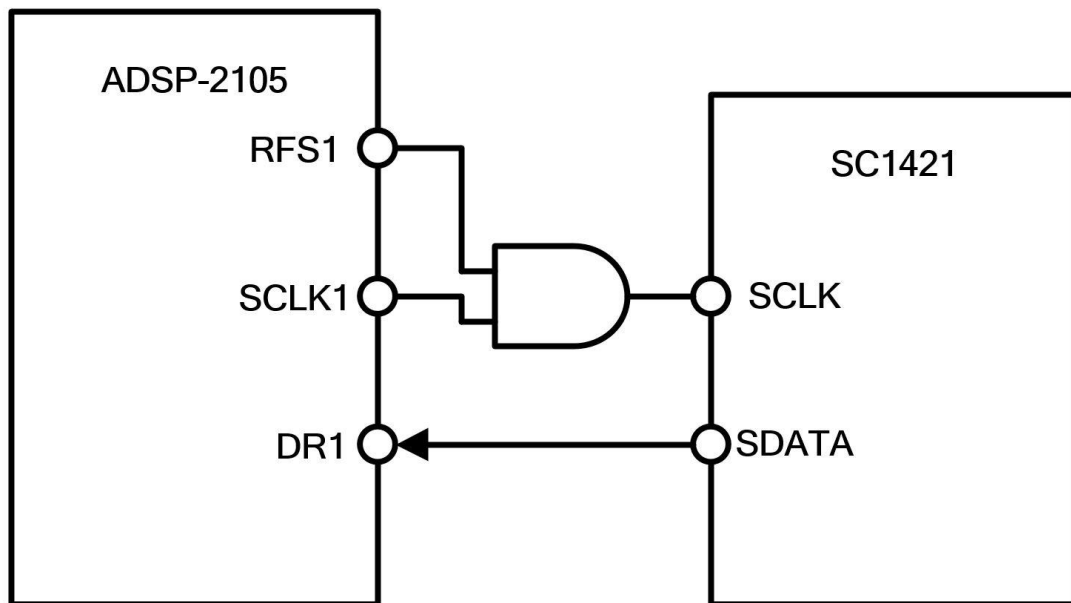


图 9 SC1421 与 ADSP-2105 接口

SC1421-DSP56000 接口

图 10 为 SC1421 与 DSP56000 DSP 处理器之间的接口电路，DSP5600 配置为带有门控时钟的普通模式异步操作，它也被设置为一个 16 位字，由 DSP56000 产生门控串行时钟，并出现在 SC0 引脚上，通过将 SCD0 位设置为 1，应该将 SC0 引脚配置为输出，在这种模式下，DSP56000 以串行读取操作向 SC1421 提供 16 个串行时钟脉冲，DSP56000 假设 SCK 的第一个下降沿上有有效的数据，因此接口只是两线连接，如图 10 所示。

为了监控 SC1421 上的转换时间，可以使用如前所述的 $\overline{\text{CONVST}}$ 方案，这可以通过将 $\overline{\text{CONVST}}$ 线直接连接到 DSP56000 的 IRQA 输入来实现。

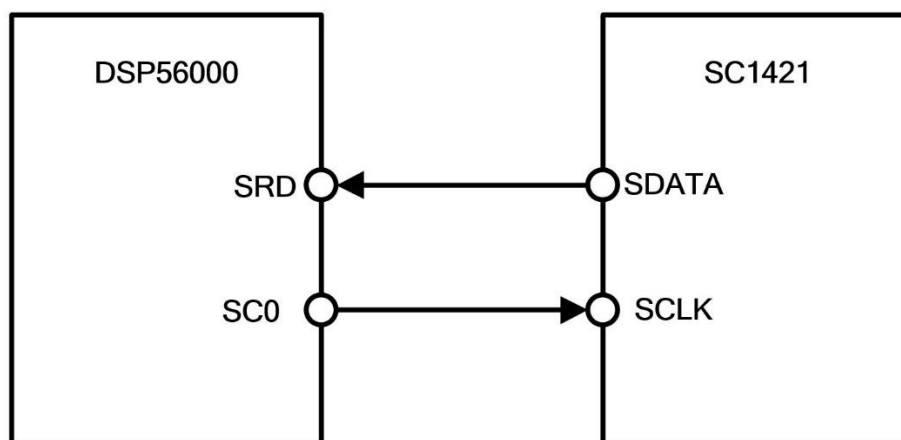


图 10 SC1421 与 DSP56000 接口

ADC 性能

噪声

在 A/D 转换器中，噪声在直流应用中表现为代码的不确定性，在交流应用中表现为噪声底面 (如 FFT)。在像 SC1421 这样的采样 A/D 转换器中，所有关于模拟输入的信息都出现在从 DC 到采样频率 1/2 的基带中，跟踪/保持的输入带宽超过奈奎斯特带宽，因此抗混叠滤波器应该用于去除输入信号中大于 $f_s/2$ 的不需要的信号。

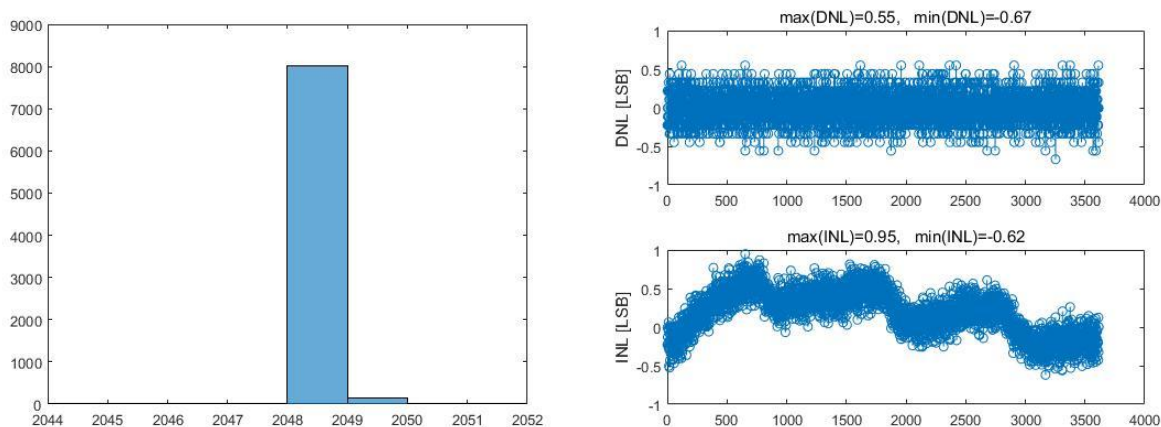


图 11 直流输入直方图及 DNL/INL

动态性能

SC1421 具有 $7.5\mu\text{s}$ （最高可达）的组合转换和采集时间，是宽频带信号处理应用的理想选择，这些应用需要关于 ADC 对输入信号频谱内容的影响的信息，信噪失真比、总谐波失真、峰值谐波或杂散噪声、互调失真均有规定。

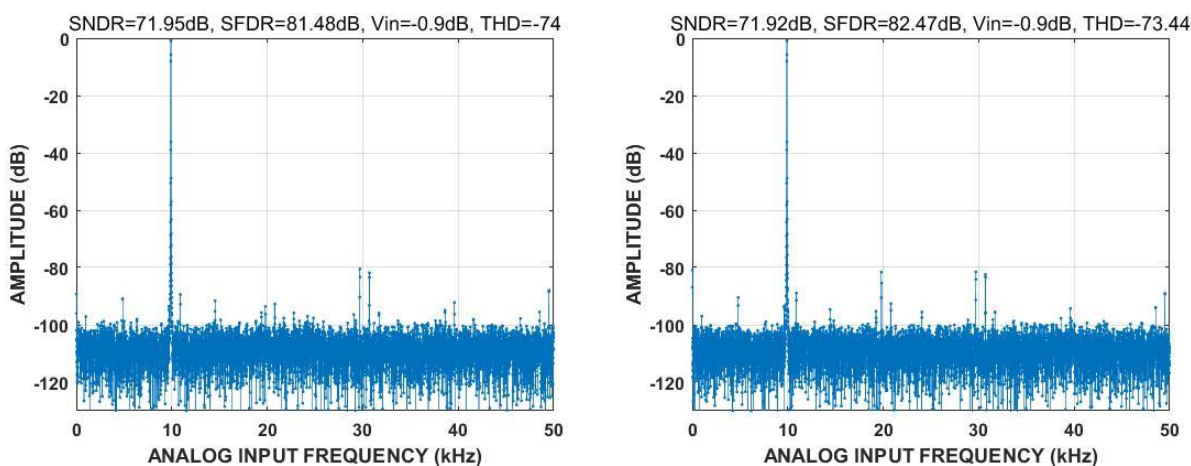


图 12 $f_{in}=9.9\text{kHz}@f_s=100\text{kSPS}$ FFT

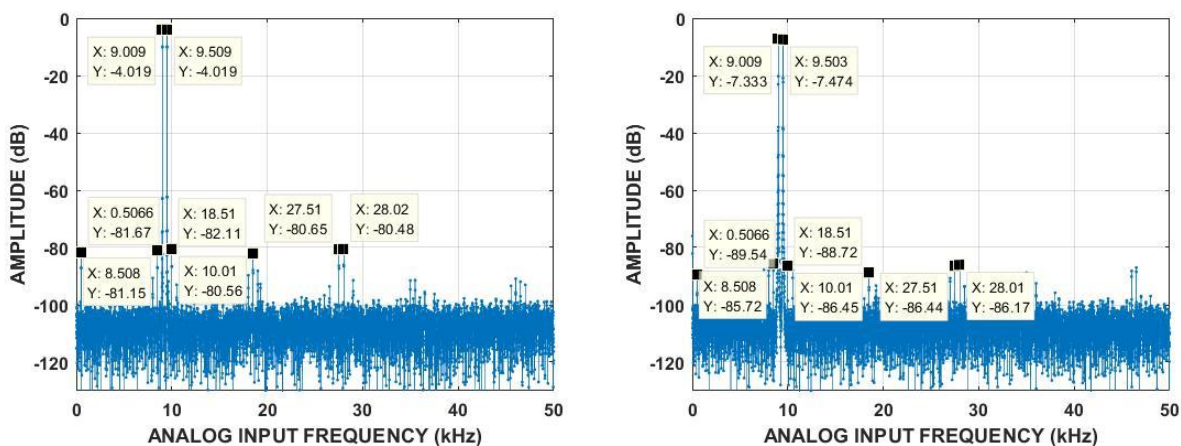


图 13 $f_{ina}=9\text{kHz}$ & $f_{inb}=9.5\text{kHz}$ @ $f_s=100\text{kSPS}$ 互调失真(IMD)

有效位数

信噪失真比的公式(参见术语部分)与转换器的分辨率或比特数有关。重写这个公式，可以得到一个以有效比特数(N)表示的性能参数：

$$ENOB = \frac{SNDR - 1.76}{6.02}$$

芯片的有效位数可以由其测量的信噪失真比来计算。

外形尺寸

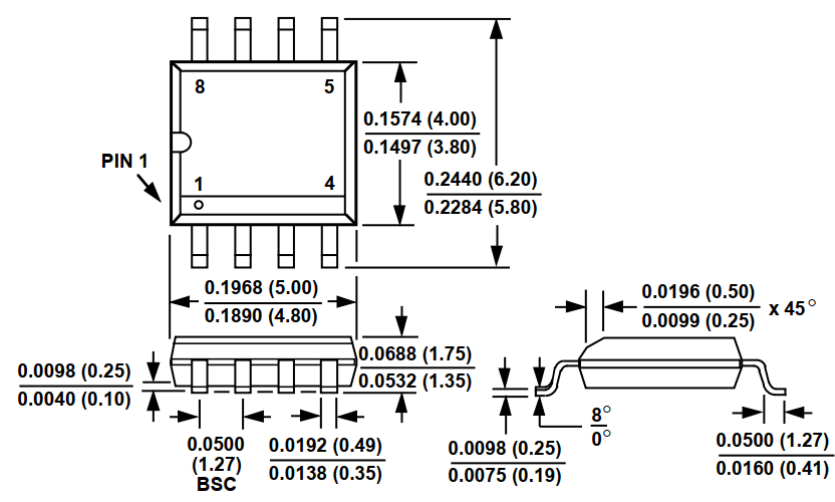


图 7 8 脚 SOIC 封装尺寸图