

SC1246 单通道 14 位 80/65/40/20MSps ADC

主要性能

- 3V 电源供电
- 灵活输入范围: $1V_{P-P}$ to $2V_{P-P}$
- 0.5V 至 3.3V 输出电源
- 低功耗: 66mW (20MSPS)
218mW(80MSPS)
- 80MHz 采样, 30.5MHz 输入:
信噪比(SNR):72.83dBFS
无杂散动态范围(SFDR):85.62dBFS
- 微分非线性(DNL): $\pm 0.25LSB$ (典型值)

- 输入端参考噪声: $0.96LSB_{RMS}$
- 片内基准电压源和采样保持电路
- QFN-32 封装 $5mm \times 5mm$

应用场合

- 无线和有线宽带通信
- 成像系统
- 光谱分析
- 便携式仪器智能天线系统
- 手持式示波器

功能模块示意图

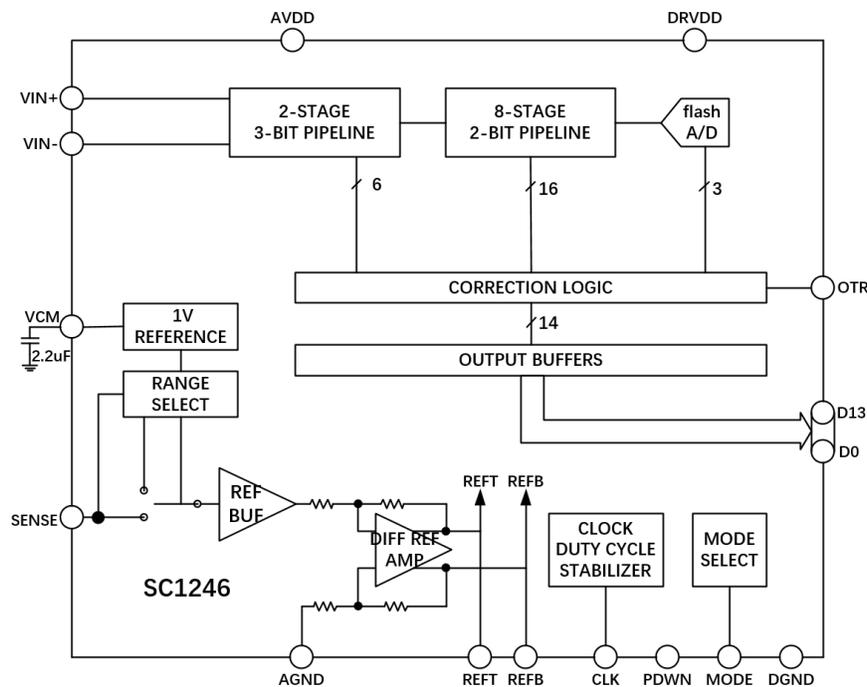


图 1 芯片模块示意图

SC1246

产品概况

SC1246 是采用多级差分流水线架构，内置高性能采样保持电路和片内基准电压源的双通道、14 位、80MSPS/65MSPS/40MSPS/20MSPS 模数转换器（ADC），采用 3V 模拟电源供电，一个单独的输出电源能驱动 0.5V 至 3.6V 逻辑电路。

SC1246 专为数字化高频宽动态范围信号而设计，非常适合要求苛刻的成像和通信应用。在 80M Hz 采样下拥有 72.8dB 的信噪比和 85dB 的无杂散动态范围，可用于远远超过奈奎斯特频率的输入信号。直流规格包括 $\pm 1\text{LSB INL}$ （典型值）， $\pm 0.25\text{LSB DNL}$ （典型值）和无漏失码。输入端参考噪声很低，仅为 $0.96\text{LSB}_{\text{RMS}}$ 。

SC1246 采用 32 引脚的 QFN 封装。

目录

主要性能	1
应用场合	1
功能模块示意图	1
产品概况	2
目录	3
技术规格	4
ADC 直流特性	4
ADC 交流特性	6
数字规格	7
时序规格	8
极限参数	9
ESD 保护	9
管脚(焊盘)配置及功能说明	10
典型曲线	12
典型应用信息	16
模拟输入网络	16
时钟输入网络	16
数字输出格式	17
电源和接地建议	18
裸露焊盘散热块建议	18
VCM	18
外形尺寸	19
订购信息	19
声明	19

SC1246

技术规格

ADC 直流特性

除非另有说明, AVDD=3V、DRVDD=3 V, VIN=-1.0 dBFS 差分输入、1 V 共模输入电压。

表 1 ADC 直流特性

参数	条件	20MSPS			40MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率			14			14		位
无失码	全		保证			保证		
失调误差	全		±0.1	±0.7		±0.1	±0.7	%FSR
增益误差	全		-1.5			-1.5		%FSR
微分非线性 (DNL) ¹	全 25°C	-1	±0.5	1	-1	±0.5	1	LSB LSB
积分非线性 (INL) ¹	全 25°C	-2.5	±1.0	2.5	-2.5	±1.0	2.5	LSB LSB
输入端参考噪声	25°C		0.96			0.96		LSB _{RMS}
模拟输入范围	全		2			2		V _{p-p}
输入电容 ²	全		4			4		pF
共模输入电压	全		1			1		V
AVDD 电源电压	全	2.7	3	3.4	2.7	3	3.4	V
DRVDD 电源电压	全	0.5	3	3.6	0.5	3	3.6	V
I _{AVDD} 电源电流	全		16.5	16.9		16.5	16.9	mA
I _{DRVDD} 电源电流	全		5.6	5.7		5.6	5.7	mA
正弦波输入功耗 ¹	全		66	68		66	68	mW
睡眠功耗	25°C		10			10		mW
关断功耗	25°C		2			2		mW
参数	条件	65MSPS			80MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率			14			14		位
无失码	全		保证			保证		
失调误差	全		±0.1	±0.7		±0.1	±0.7	%FSR
增益误差	全		-1.5			-1.5		%FSR
微分非线性 (DNL) ¹	全 25°C	-1	±0.5	1	-1	±0.5	1	LSB LSB
积分非线性 (INL) ¹	全 25°C	-4	±1.0	4	-4	±1.0	4	LSB LSB
输入端参考噪声	25°C		0.96			0.96		LSB _{RMS}
模拟输入范围	全		2			2		V _{p-p}
输入电容 ²	全		4			4		pF

共模输入电压	全		1			1		V
AVDD 电源电压	全	2.7	3	3.4	2.7	3	3.4	V
DRVDD 电源电压	全	0.5	3	3.6	0.5	3	3.6	V
I _{AVDD} 电源电流	全		53.3	55.8		54.7	57.1	mA
I _{DRVDD} 电源电流	全		15.2	15.3		18.1	18.2	mA
正弦波输入功耗 ¹	全		205.5	213.3		218	225	mW
睡眠功耗	25°C		10			10		mW
关断功耗	25°C		2			2		mW

1 测量条件为: 2.5MHz 输入频率、满量程正弦波、每个输出位的负载约为 5pF。

2 输入电容指一个差分输入引脚与 GND 之间的有效电容。

SC1246

ADC 交流特性

除非另有说明, AVDD=3 V、DRVDD=3 V, VIN=-1.0 dBFS 差分输入、1 V 共模输入电压。

表 2 ADC 交流特性

参数	条件	20MSPS			40MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
$f_{in}=2.4\text{MHz}$	25°C		77.1			75		dB
$f_{in}=30.5\text{MHz}$	全	74.5	76.5		72.5	74.2		dB
$f_{in}=70\text{MHz}$	25°C		75			73.8		dB
$f_{in}=103\text{MHz}$	25°C		73.8			73.5		dB
信纳比(SNDR)								
$f_{in}=2.4\text{MHz}$	25°C		76.2			74.4		dB
$f_{in}=30.5\text{MHz}$	全	73.8	75.9		72	73.6		dB
$f_{in}=70\text{MHz}$	25°C		74.1			73.1		dB
$f_{in}=103\text{MHz}$	25°C		73.2			73		dB
无杂散动态范围(SFDR)								
$f_{in}=2.4\text{MHz}$	25°C		85.1			85.5		dB
$f_{in}=30.5\text{MHz}$	全	78.5	80.2		81	83.7		dB
$f_{in}=70\text{MHz}$	25°C		79.7			77.6		dB
$f_{in}=103\text{MHz}$	25°C		76.4			81.1		dB
参数	条件	65MSPS			80MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
$f_{in}=2.4\text{MHz}$	25°C							dB
$f_{in}=30.5\text{MHz}$	全	72	73.5		71.6	72.8		dB
$f_{in}=70\text{MHz}$	25°C		72.3			71.3		dB
$f_{in}=103\text{MHz}$	25°C		71.9			71.2		dB
信纳比(SNDR)								
$f_{in}=2.4\text{MHz}$	25°C							dB
$f_{in}=30.5\text{MHz}$	全	71.5	72.9		71	72.1		dB
$f_{in}=70\text{MHz}$	25°C		71.8			71.2		dB
$f_{in}=103\text{MHz}$	25°C		71.4			71		dB
无杂散动态范围(SFDR)								
$f_{in}=2.4\text{MHz}$	25°C							dB
$f_{in}=30.5\text{MHz}$	全	77.6	82.3		80	85.6		dB
$f_{in}=70\text{MHz}$	25°C		80			81.4		dB
$f_{in}=103\text{MHz}$	25°C		81.8			85.2		dB

数字规格

除非另有说明, AVDD=3 V、DRVDD=3 V, VIN=-1.0 dBFS 差分输入、1V 共模输入电压。

表 3 数字规格参数

参数	条件	最小值	典型值	最大值	单位
逻辑输入(CLK,SHDN, \overline{OE})					
逻辑 1 电压	全	2		DRVDD+0.3	V
逻辑 0 电压	全	0		0.8	V
输入电阻	全		26		k Ω
输入电容	全		2		pF
数字输出					
DRVDD = 3V					
逻辑 1 电压	全		2.99		V
逻辑 0 电压	全		0.09	0.2	V
DRVDD = 2.5V					
逻辑 1 电压	全		2.49		V
逻辑 0 电压	全		0.09	0.2	V
DRVDD = 1.8V					
逻辑 1 电压	全		1.79		V
逻辑 0 电压	全		0.09	0.2	V

SC1246

时序规格

除非另有说明, AVDD=3 V、DRVDD=3V, VIN=-1.0 dBFS 差分输入、1V 共模输入电压。

表 4 开关参数

参数	条件	最小值	典型值	最大值	单位
采样频率 f_S		1		80	MHz
CLK 高电平时间 t_H		5		500	ns
CLK 低电平时间 t_L		5		500	ns
取样保持的孔径延迟 t_{AP}			0		ns
CLK 到 DATA 的延迟 t_D	$C_L=5pF$	1.4	2.7	5.4	ns
\overline{OE} 为低后数据访问时间	$C_L=5pF$		4.3	10	ns
总线让出时间			3.3	8.5	ns
管道延迟			5		Cycle

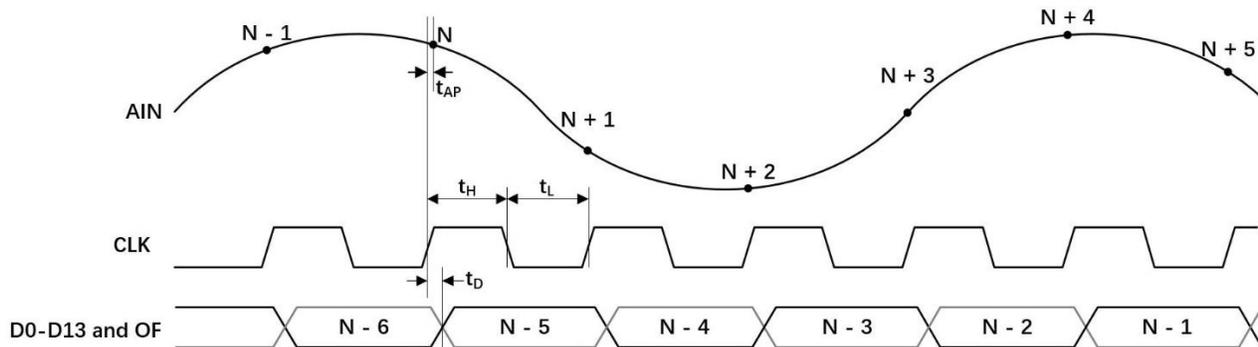


图 2 工作时序图

极限参数

AVDD 至 GND.....	-0.3V 至 4V
DRVDD 至 GND.....	-0.3V 至 4V
模拟输入电压 $V_{IN+/-}$	-0.3V 至 $V_{DD}+0.3V$
数字输入电压.....	-0.3V 至 $V_{DD}+0.3V$
数字输出电压.....	-0.3V 至 $DRVDD+0.3V$
最大结温 $T_{J,MAX}$	150 °C
工作温度范围.....	-40 °C 至 85 °C
存储温度范围.....	-65 °C 至 150 °C
ESD(Human Body Model).....	4000V

对以上所列的最大极限值, 如果器件工作在超过此极限值的环境中, 很可能对器件造成永久性破坏。在实际运用中, 最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时, 要采取合适的 ESD 保护措施, 以免造成性能下降或功能失效。

SC1246

管脚(焊盘)配置及功能说明

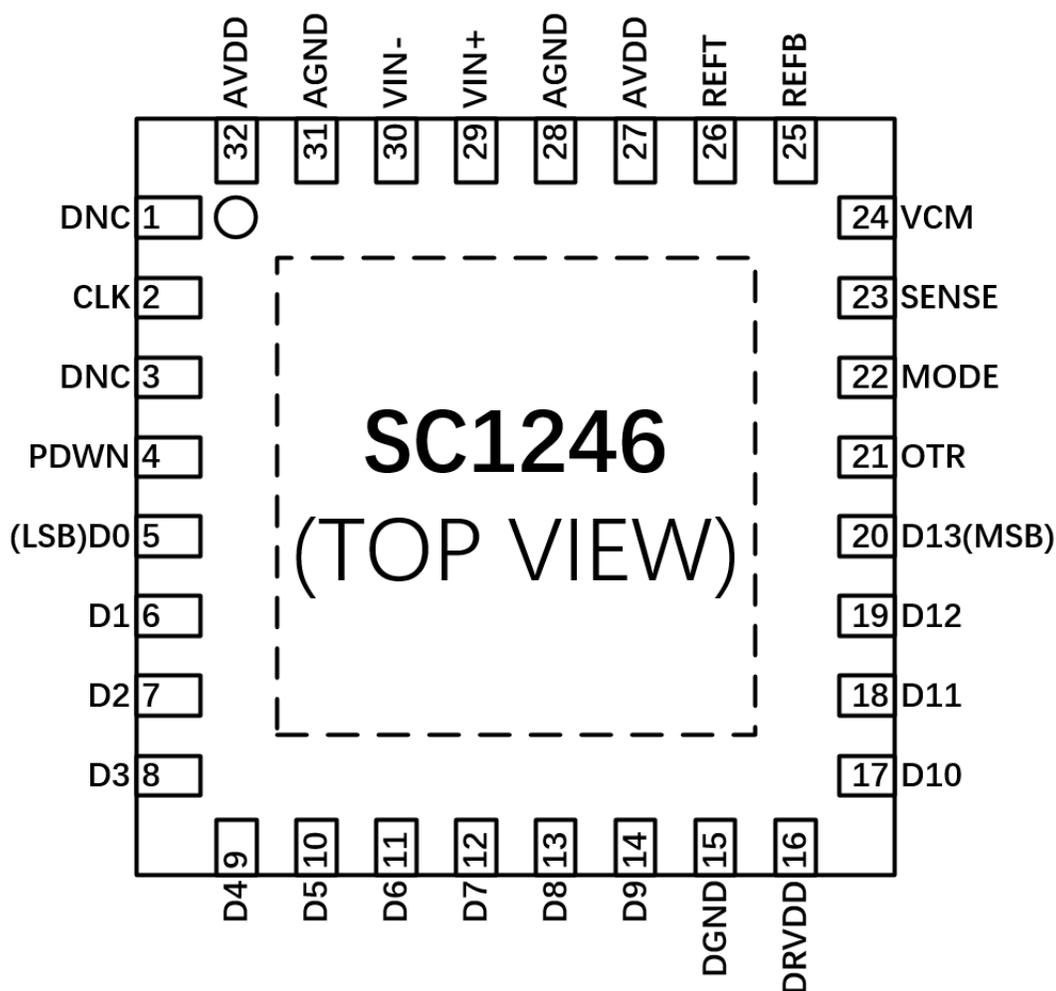


图 3 管脚（焊盘）配置

表 5 管脚定义

引脚序号	引脚名称	引脚类型	引脚功能
0	GND	G	模拟接地，封装底部焊盘为芯片提供模拟接地，底部焊盘必须接地以便ADC正常工作
29,30	VIN+, VIN-	AI	差分模拟输入
1,3	DNC	-	无需连接
27,32	AVDD	P	模拟供电，3V电源使用0.1μF陶瓷片电容旁路接地
28,31	AGND	G	ADC电源地
2	CLK	AI	时钟输入，上升沿时对输入信号进行采样
4	PDWN	DI	关断模式选择。将PDWN连接到GND的情况下正常运行。将PDWN连接到AVDD芯片停止运行处于关断状态。
5 to 14, 17 to 20	D0 to D13	DO	数字输出，D13是最高有效位
15	DGND	G	输出驱动器接地
16	DRVDD	P	输出驱动器的电源，使用0.1μF电容旁路接地
21	OTR	DO	过流/欠流输出，输入信号发生过流或欠流时为高

引脚序号	引脚名称	引脚类型	引脚功能
22	MODE	AI	输出格式选择引脚 (1) GND与1/3 VDD连接模式选择偏置二进制输出格式。 (2) 2/3 VDD与VDD选择二进制补码输出格式。
23	SENSE	AI	参考编程引脚, SENSE连接不同电压 ($\pm 1V$ 为最大有效输入范围): (1) VCM选择内部基准和 $\pm 0.5V$ 输入范围 (2) VDD选择内部基准和 $\pm 1V$ 输入范围 (3) 大于 $0.5V$ 小于 $1V$, 选择外部基准和 $\pm V_{SENSE}$ 的输入范围
24	VCM	AO	1V电压输出, 使用 $2.2\mu F$ 陶瓷片电容器旁路接地, 用于提供模拟输入的共模偏置
25	REFB	AO	ADC差分参考N端, 可不进行连接。
26	REFT	AO	ADC差分参考P端, 可不进行连接。

SC1246

典型曲线

除非另有说明, VDD=3 V、DRVDD=3 V, VIN=-1.0 dBFS 差分输入、1 V 内部基准电压。

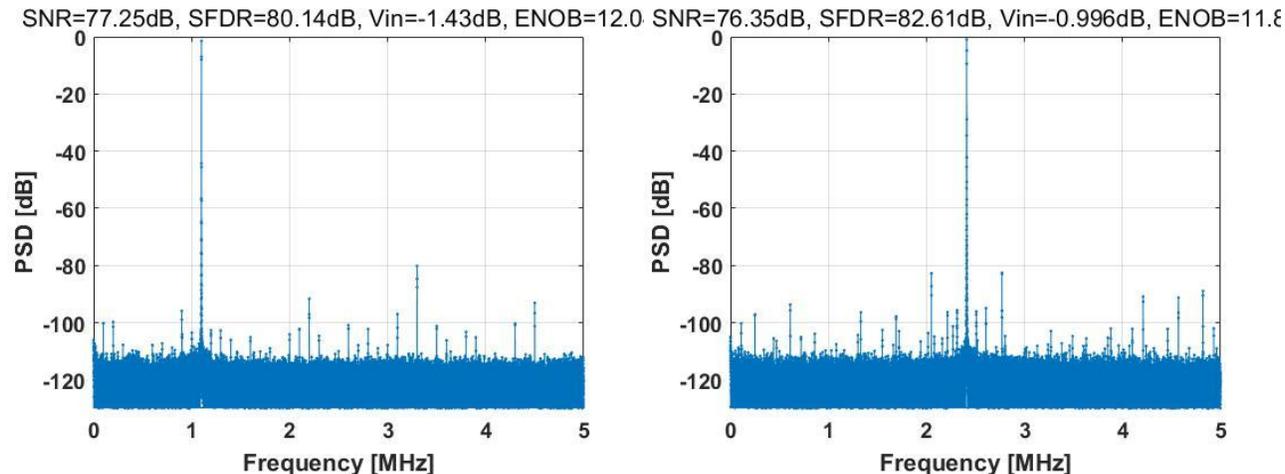


图 4 -1dB@1MHz(fs =10MHz)

图 5 -1dB@2.4MHz(fs =10MHz)

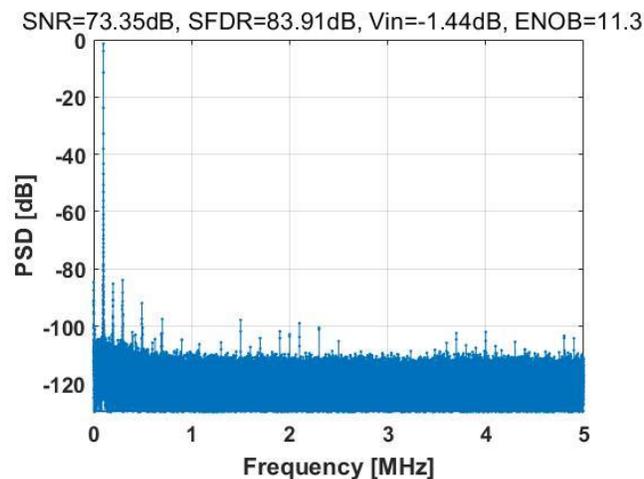


图 6 -1dB@10MHz(fs =10MHz)

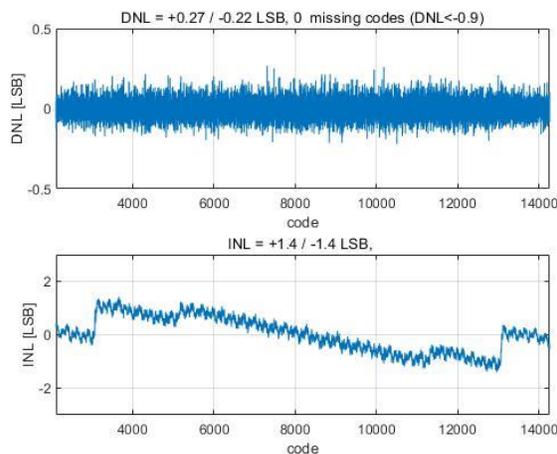


图 7 10MSPS 下的 INL 与 DNL

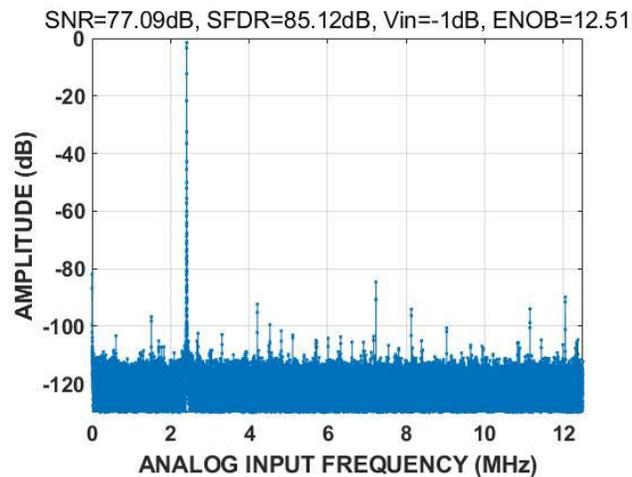


图 8 -1dB@2.4MHz(fs =25MHz)

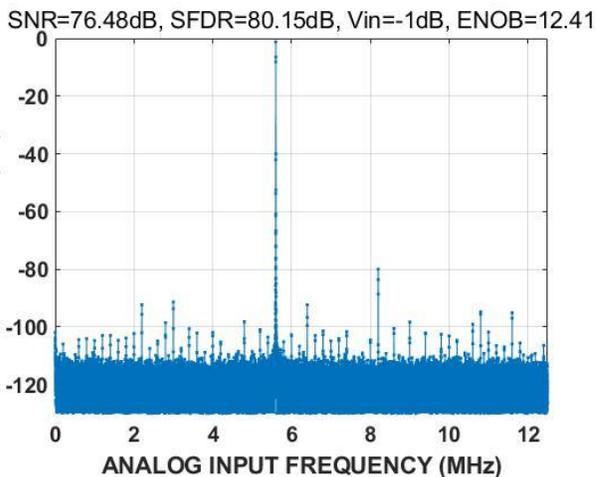


图 9 -1dB@30.5MHz(fs =25MHz)

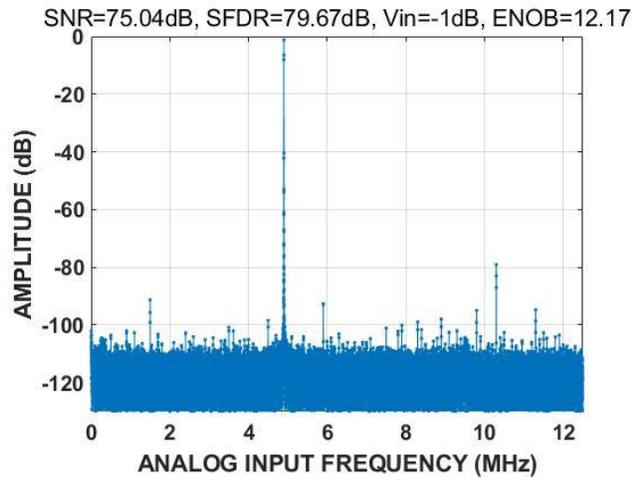


图 10 -1dB@70MHz(fs =25MHz)

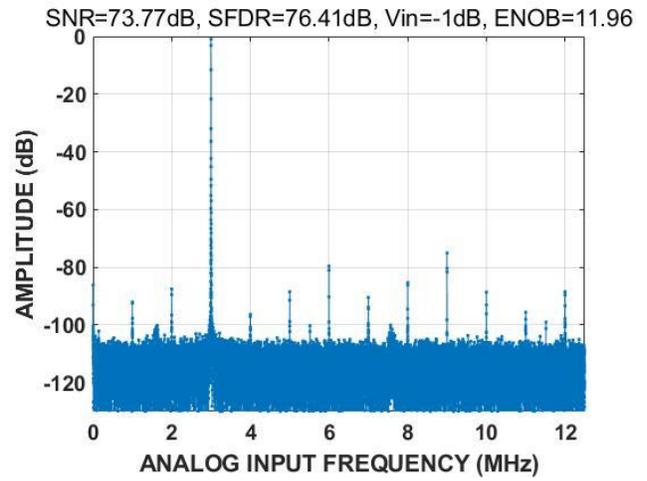


图 11 -1dB@103MHz(fs =25MHz)

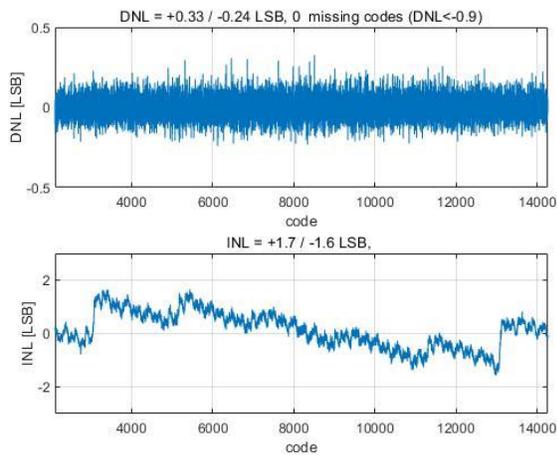


图 12 25MSPS 下的 INL 与 DNL

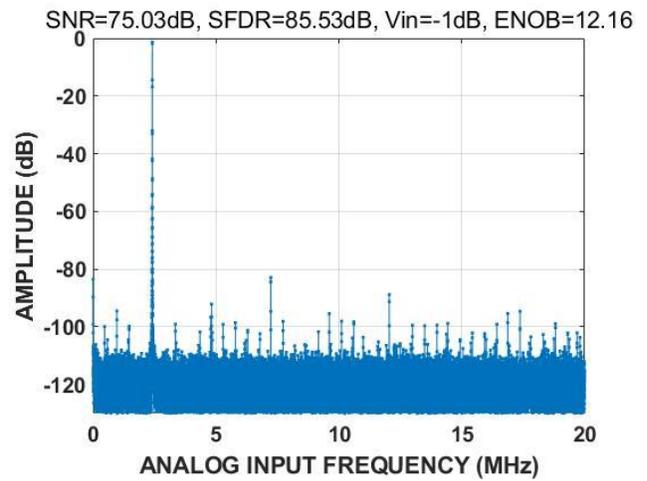


图 13 -1dB@2.4MHz(fs =40MHz)

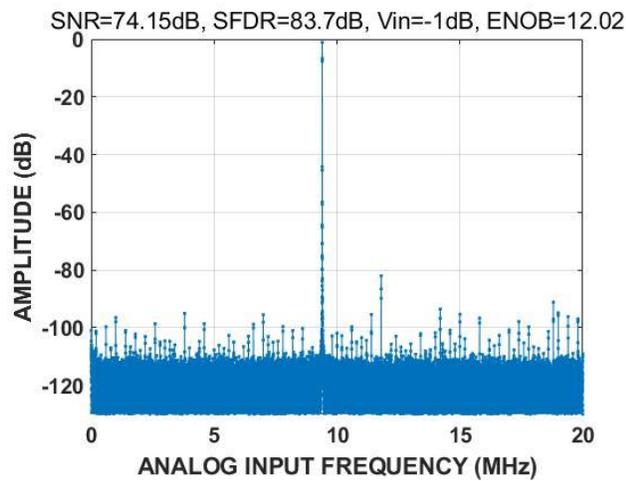


图 14 -1dB@30.5MHz(fs =40MHz)

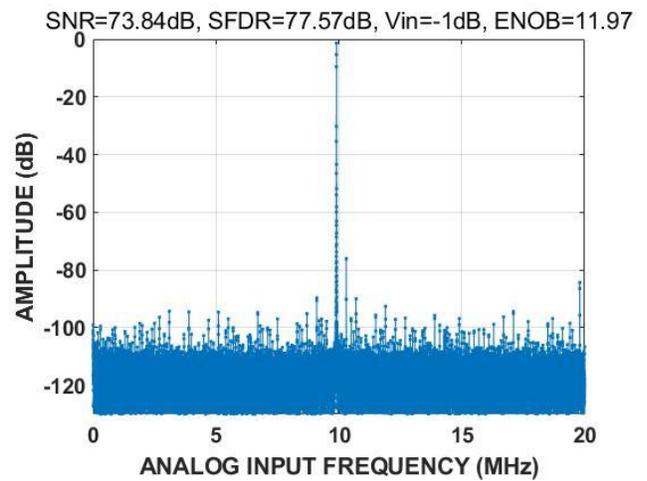


图 15 -1dB@70MHz(fs =40MHz)

SC1246

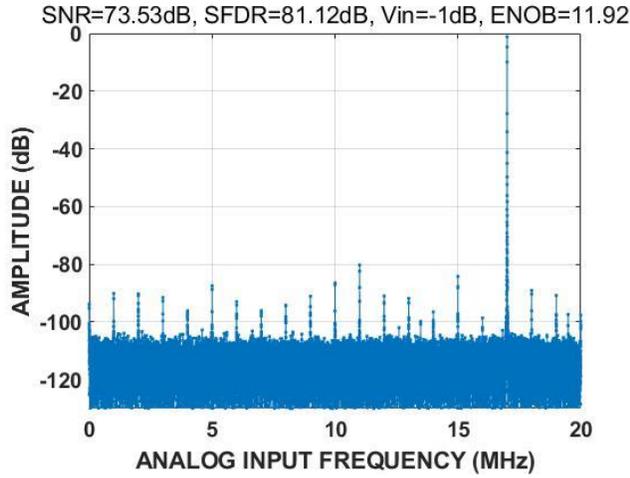


图 16 -1dB@103MHz(fs =40MHz)

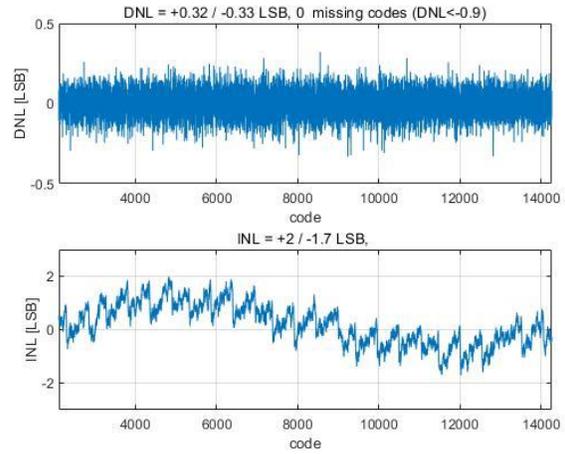


图 17 40MSPS 下的 INL 与 DNL

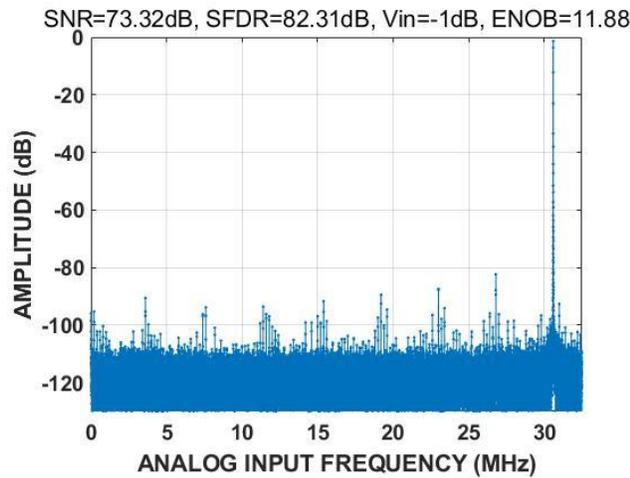


图 18 -1dB@30.5MHz(fs =65MHz)

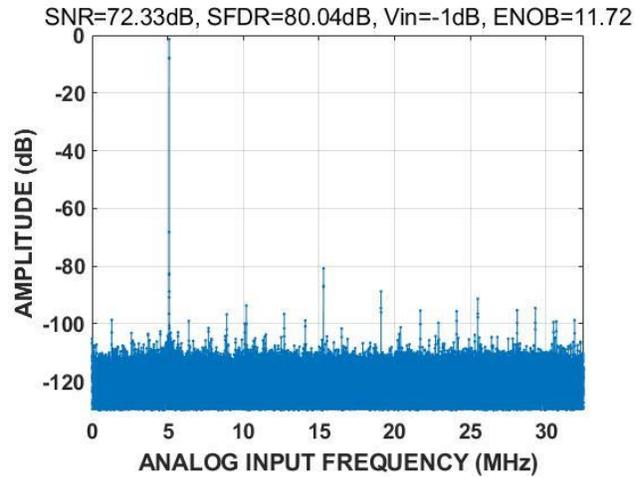


图 19 -1dB@70MHz(fs =65MHz)

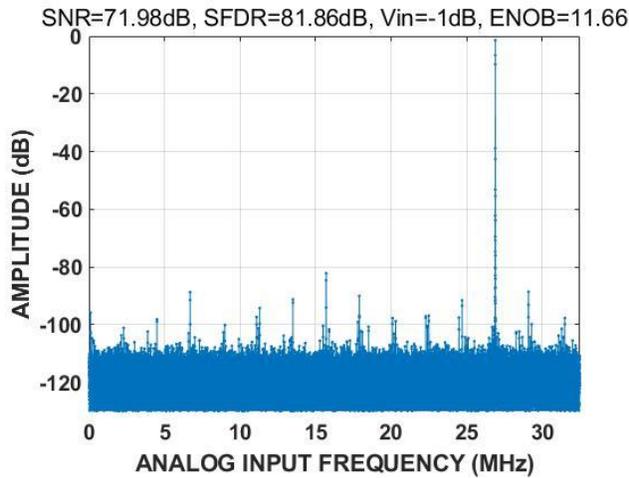


图 20-1dB@103MHz(fs =65MHz)

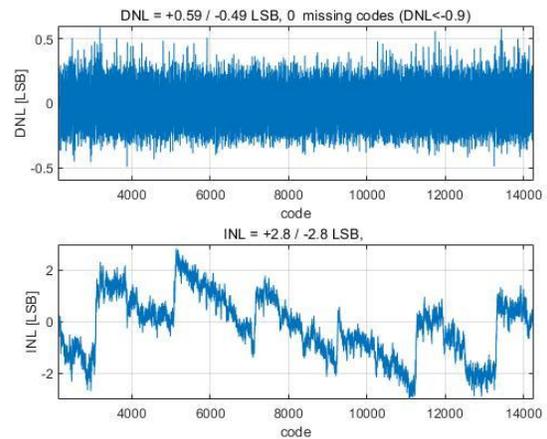


图 21 65MSPS 下的 INL 与 DNL

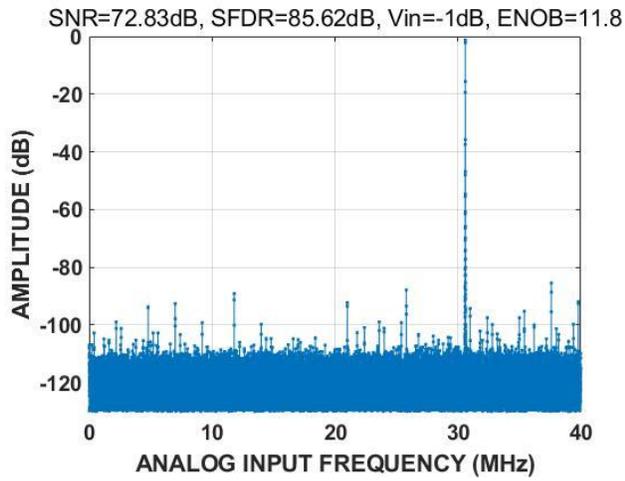


图 22 -1dB@30.5MHz(fs =80MHz)

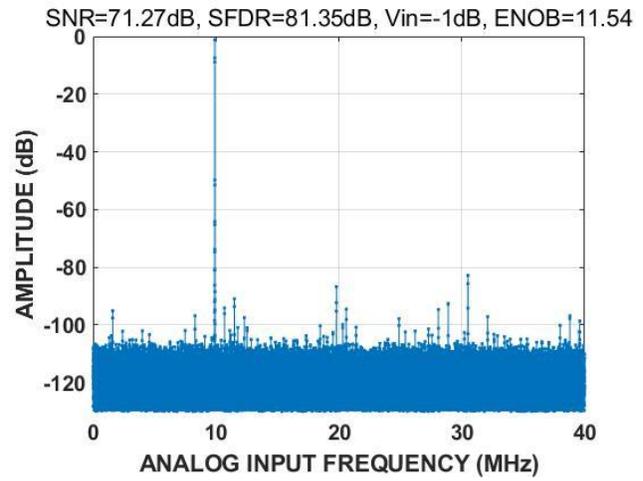


图 23 -1dB@70MHz(fs =80MHz)

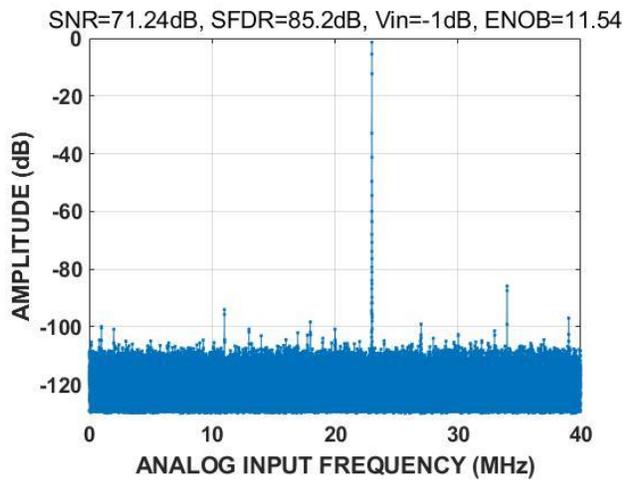


图 24-1dB@103MHz(fs =80MHz)

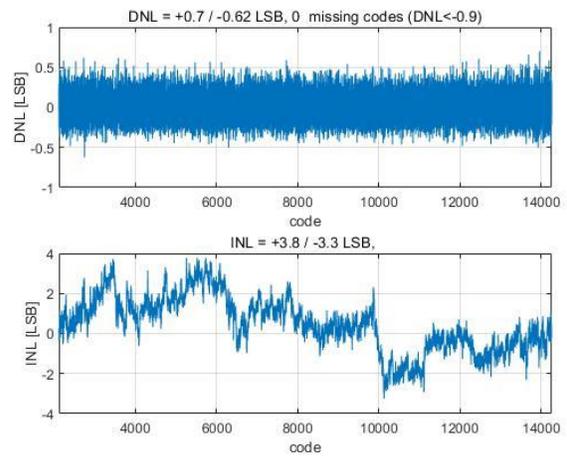


图 25 80MSPS 下的 INL 与 DNL

SC1246

典型应用信息

模拟输入网络

使用全差分模式可以保证 ADC 获得最佳性能。VCM 输出引脚（引脚 31）可用于提供模拟差分输入的共模偏置电平，VCM 可以直接连接到变压器的中心抽头，以设置直流输入电平或作为运放差分驱动电路的参考电平。图 26 使用差分放大器将单端输入信号转换为差分输入信号，这种方法的优点是它提供低频输入响应；然而在高频输入时大多数运放有限的增益带宽将限制 SFDR。图 27 使用带有中心抽头次级的射频变压器驱动，使用变压器的缺点是低频信号性能变差，大多数小型射频变压器在频率低于 1MHz 时性能较差。

在单端应用中使用 VIN-接共模电压，VIN+接输入信号的输入网络方式，单端应用中 ADC 性能会有所下降，因此不建议单端驱动 SC1246 输入。

与所有高性能、高速模数转换器一样，SC1246 的动态性能也会受到输入驱动电路的影响，特别是二次谐波和三次谐波。源阻抗和电抗会影响 SFDR。为获得最佳性能，建议每个输入的源阻抗为 100Ω 或更小，且源阻抗应与差分输入匹配，阻抗不匹配会导致偶次谐波的增加。

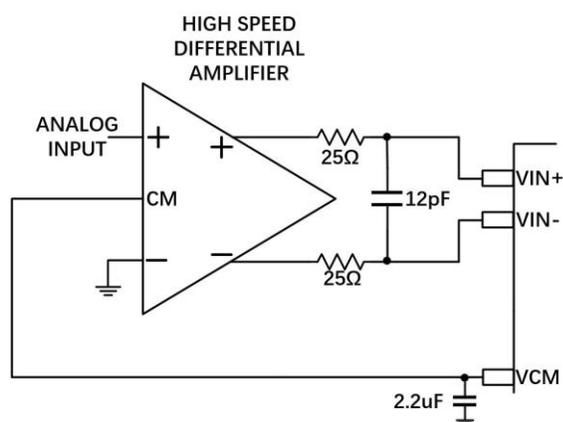


图 26 放大器单端转差分输入网络

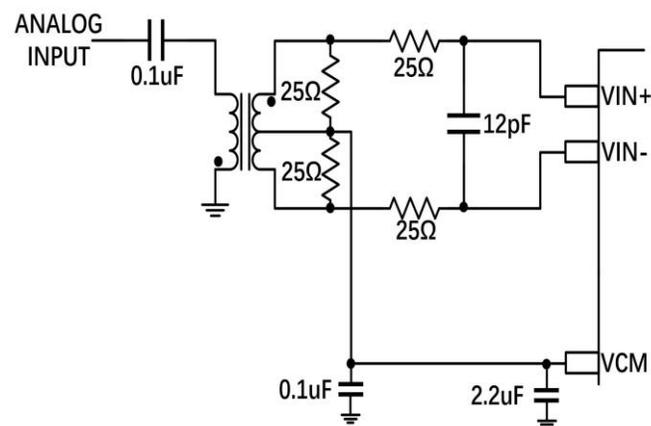


图 27 变压器单端转差分输入网络

时钟输入网络

CLK 输入可以直接用 CMOS 或 TTL 电平信号驱动。在 CLK 引脚之前，差分时钟还可以与低抖动 CMOS 转换器一起使用（见图 28）。SC1246 的噪声性能取决于时钟信号质量和模拟输入。时钟信号上存在的任何噪声都将导致额外的孔径抖动，影响芯片的动态性能。为了使 ADC 正常工作，CLK 信号占空比应该在 50% 左右

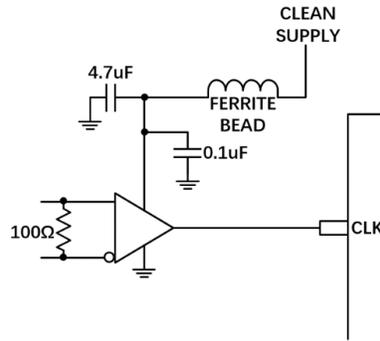


图 28 单端时钟输入网络

数字输出格式

为了避免数字输出和敏感输入电路之间可能产生的交互，SC1246 的数字输出应该驱动最小电容负载，输出应该用 CMOS 锁存器等设备进行缓冲。在 SC1246 全速运行时，电容负载应保持在 10pF 以下。减少来自数字输出的干扰也可以通过使用较低的 DRVDD 电压来实现。表 7 显示了模拟输入电压、数字数据位和溢出位之间的关系。

使用 MODE 引脚，SC1246 并行数字输出可以选择偏置二进制或二进制补码格式。连接模式到 GND 或 1/3VDD 选择偏移二进制输出格式；连接方式为 2/3VDD 或 VDD 选择二进制补码输出格式。表 6 显示了 MODE 引脚的逻辑状态。

表 6 MODE 引脚功能

MODE 引脚	输出格式
0	偏移二进制
1/3VDD	偏移二进制
2/3VDD	二进制补码
VDD	二进制补码

表 7 输出数据位与输入电压

AIN+ - AIN- (2V Range)	偏移二进制模式	二进制补码模式	溢出
>+1.000000V	11 1111 1111 1111	11 1111 1111 1111	1
+0.999878V	11 1111 1111 1111	11 1111 1111 1111	0
+0.999756V	11 1111 1111 1110	11 1111 1111 1110	0
+0.000122V	10 0000 0000 0001	10 0000 0000 0001	0
0.000000V	10 0000 0000 0000	10 0000 0000 0000	0
-0.000122V	01 1111 1111 1111	01 1111 1111 1111	0
-0.000244V	01 1111 1111 1110	01 1111 1111 1110	0
-0.999878V	00 0000 0000 0001	00 0000 0000 0001	0
-1.000000V	00 0000 0000 0000	00 0000 0000 0000	0
<-1.000000V	00 0000 0000 0000	00 0000 0000 0000	1

SC1246

电源和接地建议

建议使用两个独立的电源为 SC1246 供电：一个用于模拟电源 AVDD，一个用于数字输出电源 DRVDD。对于 AVDD 和 DRVDD，应使用多个不同的去耦电容以屏蔽高频和低频噪声。去耦电容应放置在接近器件引脚的位置，并尽可能缩短走线长度。SC1246 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 AGND。PCB 上裸露的连续铜平面应与 SC1246 的裸露焊盘匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。

VCM

VCM 引脚应通过一个 2.2 μF 或更大的电容去耦至地。

外形尺寸

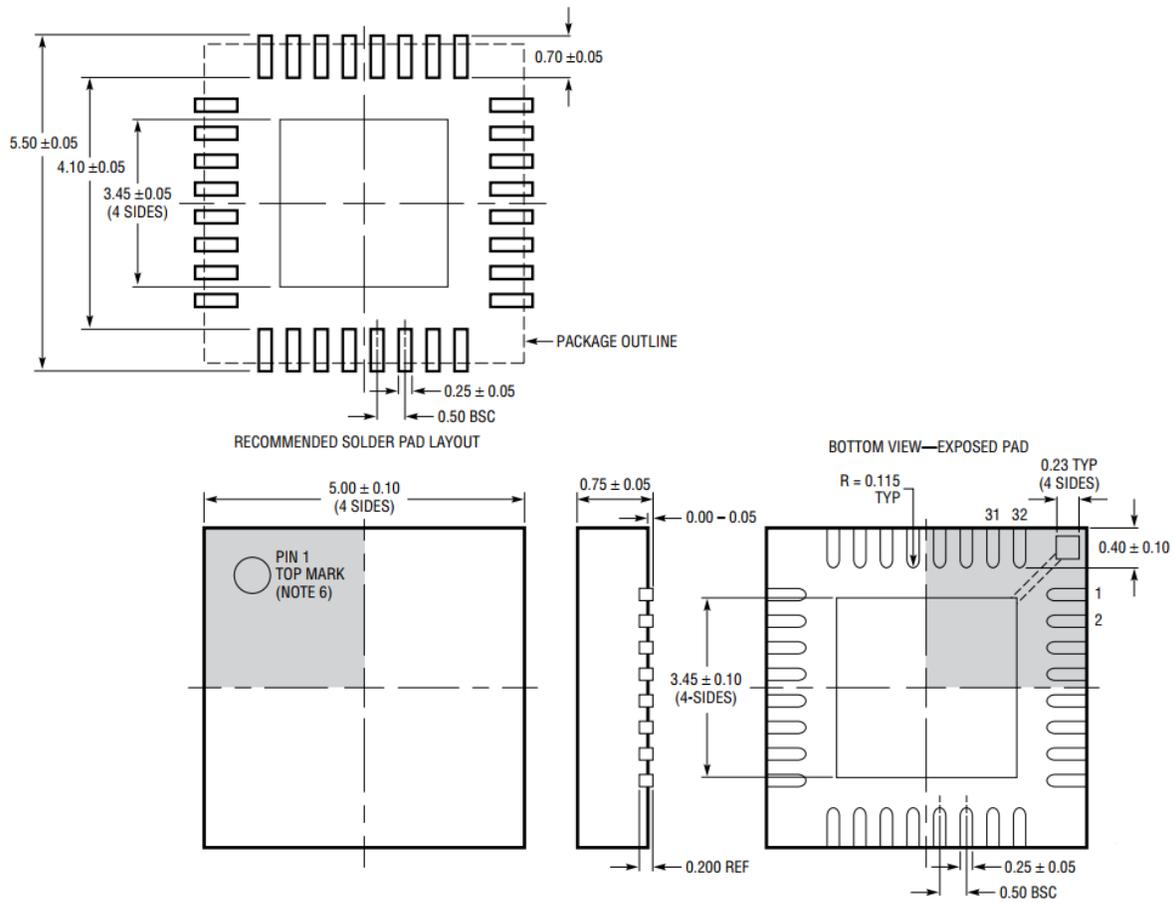


图 29 32 脚 QFN 封装尺寸图

订购信息

物料编号	温度范围	封装类型	包装形式
SC1246GDLUMZ-20	-40 ~ 85°C	QFN-32	Tray
SC1246GDLUMZ-40	-40 ~ 85°C	QFN-32	Tray
SC1246GDLUMZ-65	-40 ~ 85°C	QFN-32	Tray
SC1246GDLUMZ-80	-40 ~ 85°C	QFN-32	Tray

根据客户需求可以定制封装

声明

上述资料仅供参考使用, 用于协助芯焱客户进行设计与研发。芯焱有权在不事先通知的情况下, 保留因技术革新而改变上述资料的权利。