

主要性能

- 3V 电源供电
- 灵活输入范围: $1V_{P-P}$ to $2V_{P-P}$
- 0.5V 至 3.3V 输出电源
- 低功耗: 60mW (10MSPS)
218mW(80MSPS)
- 80MHz 采样, 30.5MHz 输入:
信噪比(SNR):70.08dBFS
无杂散动态范围(SFDR):83.48dBFS
- 微分非线性(DNL): $\pm 0.3LSB$ (典型值)
- 输入端参考噪声: $0.96LSB_{RMS}$

- 片内基准电压源和采样保持电路
- QFN-32 封装 $5mm \times 5mm$

应用场合

- 无线和有线宽带通信
- 成像系统
- 光谱分析
- 便携式仪器智能天线系统
- 手持式示波器
- 功能模块示意图:

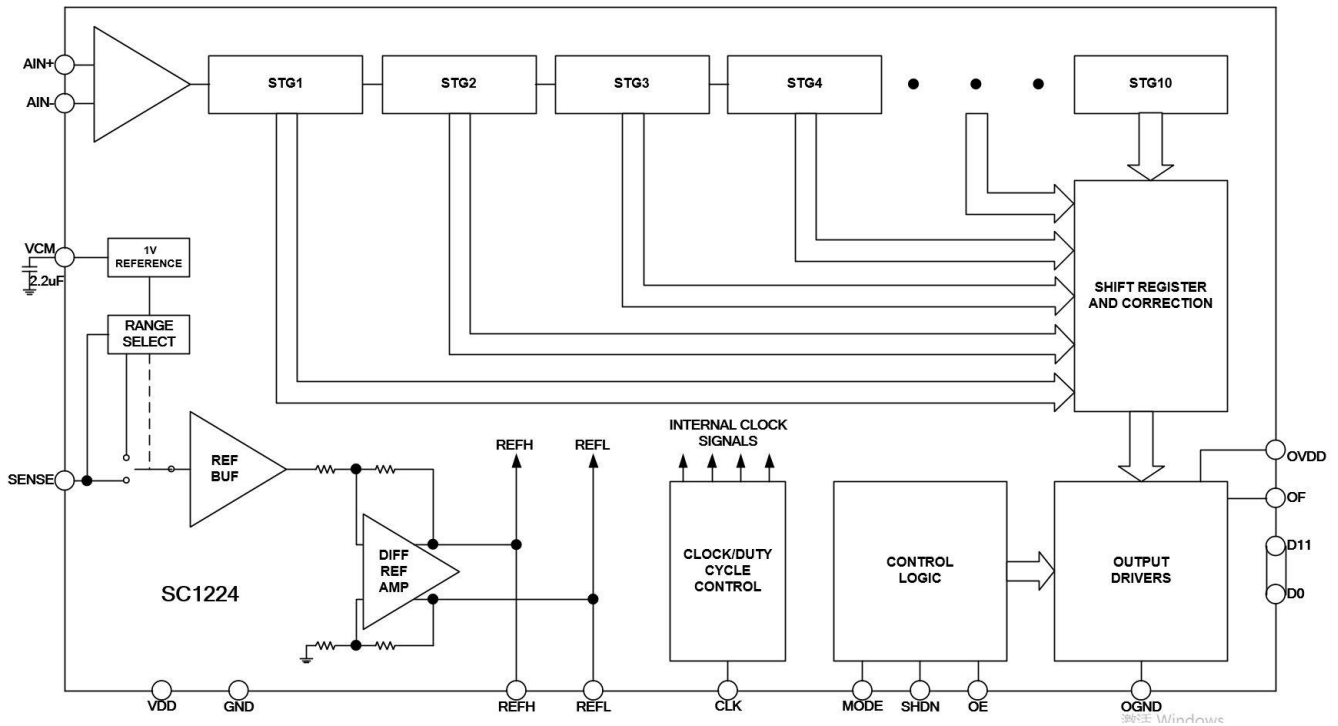


图 1 芯片模块示意图

产品概况

SC1224 是一款 12 位 80/40/25/10MSps 低功耗 3V 电源供电的模数转换器，专为数字化高频宽动态范围信号而设计。SC1224 非常适合要求苛刻的成像和通信应用，其交流性能，包括 80MHz 采样下 70.08dB 信噪比和 83dB 无杂散动态范围，用于远远超过奈奎斯特频率的信号。直流规格包括 $\pm 1\text{LSB}$ INL（典型值）， $\pm 0.3\text{LSB}$ DNL（典型值）和无漏失码。输入端参考噪声很低，仅为 $0.96\text{LSB}_{\text{RMS}}$ 。一个单独的输出电源使输出能驱动 0.5V 至 3.6V 逻辑电路。

一个单端 CLK 输入负责控制转换器运作。一个任选的时钟占空比稳定器在全速和多种时钟占空比条件下实现了高性能。

技术规格

ADC 直流特性

除非另有说明，VDD=3V、OVDD=3 V，VIN=-1.0 dBFS 差分输入、1 V 共模输入电压。

表 1 ADC 直流特性

参数	温度	10MSPS			25MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率		12			12			位
无失码	全	保证			保证			
失调误差	全	±0.1 ±0.7			±0.1 ±0.7			%FSR
增益误差	全	-1.5			-1.5			%FSR
微分非线性 (DNL) ¹	全 25°C	-0.5	±0.2	0.5	-0.5	±0.2	0.5	LSB LSB
积分非线性 (INL) ¹	全 25°C	-0.6	±0.3	0.6	-0.8	±0.4	0.8	LSB LSB
输入端参考噪声	25°C	0.96			0.96			LSB _{RMS}
模拟输入范围	全	2			2			Vp-p
输入电容 ²	全	4			4			pF
共模输入电压	全	1			1			V
VDD 电源电压	全	2.7	3	3.4	2.7	3	3.4	V
OVDD 电源电压	全	0.5	3	3.6	0.5	3	3.6	V
I _{VDD} 电源电流	全	15.5 17			16.5 16.9			mA
I _{OVDD} 电源电流	全	4.5 5			5.6 5.7			mA
正弦波输入功耗 ¹	全	60 66			66 68			mW
睡眠功耗	25°C	10			10			mW
关断功耗	25°C	2			2			mW
参数	温度	40MSPS			80MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率		12			12			位
无失码	全	保证			保证			
失调误差	全	±0.1 ±0.7			±0.1 ±0.7			%FSR
增益误差	全	-1.5			-1.5			%FSR
微分非线性 (DNL) ¹	全 25°C	-0.5	±0.2	0.5	-0.8	±0.35	0.8	LSB LSB
积分非线性 (INL) ¹	全 25°C	-0.9	±0.5	0.9	-1.3	±1.0	1.3	LSB LSB
输入端参考噪声	25°C	0.96			0.96			LSB _{RMS}
模拟输入范围	全	2			2			Vp-p
输入电容 ²	全	4			4			pF
共模输入电压	全	1			1			V
VDD 电源电压	全	2.7	3	3.4	2.7	3	3.4	V

OVDD 电源电压	全	0.5	3	3.6	0.5	3	3.6	V
I _{VDD} 电源电流	全		18.7	19.2		54.7	57.1	mA
I _{OVDD} 电源电流	全		10.3	10.4		18.1	18.2	mA
正弦波输入功耗 ¹	全		87	88.8		218	225	mW
睡眠功耗	25°C		10			10		mW
关断功耗	25°C		2			2		mW

1 测量条件为：2.5MHz输入频率、满量程正弦波、每个输出位的负载约为5pF。

2 输入电容指一个差分输入引脚与GND之间的有效电容。

ADC 交流特性

除非另有说明，VDD=3 V、OVDD=3 V，VIN=-1.0 dBFS 差分输入、1 V 共模输入电压。

表 2 ADC 交流特性

参数	温度	10MSPS			25MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
f _{in} =1MHz	25°C		71.7					dB
f _{in} =2.4MHz	25°C		70.9			70.4		dB
f _{in} =10MHz	25°C		70.5					dB
f _{in} =30.5MHz	全				70	70.2		dB
f _{in} =70MHz	25°C					69.8		dB
f _{in} =103MHz	25°C					69.7		dB
信纳比(SNDR)								
f _{in} =1MHz	25°C		71.5					dB
f _{in} =2.4MHz	25°C		70.6			70.3		dB
f _{in} =10MHz	25°C		70.2					dB
f _{in} =30.5MHz	全				69.8	70		dB
f _{in} =70MHz	25°C					69.5		dB
f _{in} =103MHz	25°C					69.4		dB
无杂散动态范围(SFDR)								
f _{in} =1.1MHz	25°C		80.4					dB
f _{in} =2.4MHz	25°C		83.7			85.2		dB
f _{in} =10MHz	25°C		84					dB
f _{in} =30.5MHz	全				79.5	80.1		dB
f _{in} =70MHz	25°C					79.7		dB
f _{in} =103MHz	25°C					76		dB
参数	温度	40MSPS			80MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
f _{in} =2.4MHz	25°C		70.3					dB
f _{in} =30.5MHz	全	69.9	70.2		69.7	70.1		dB
f _{in} =70MHz	25°C		69.8			69.9		dB
f _{in} =103MHz	25°C		69.6			69.3		dB
信纳比(SNDR)								
f _{in} =2.4MHz	25°C		70.1					dB
f _{in} =30.5MHz	全	69.6	70		69.5	70		dB
f _{in} =70MHz	25°C		69.5			69.7		dB
f _{in} =103MHz	25°C		69.3			69		dB

无杂散动态范围 (SFDR)						
$f_{in}=2.4\text{MHz}$	25°C		84.6			dB
$f_{in}=30.5\text{MHz}$	全	80	82.5	80	83.5	dB
$f_{in}=70\text{MHz}$	25°C		76.6		81.4	dB
$f_{in}=103\text{MHz}$	25°C		80.9		83	dB

数字规格

除非另有说明，VDD=3 V、OVDD=3 V，VIN=-1.0 dBFS 差分输入、1V 共模输入电压。

表 3 数字规格参数

参数	温度	最小值	典型值	最大值	单位
逻辑输入(CLK,SHDN,OE)					
逻辑 1 电压	全	2		OVDD+0.3	V
逻辑 0 电压	全	0		0.8	V
输入电阻	全		26		kΩ
输入电容	全		2		pF
数字输出					
OVDD = 3V					
逻辑 1 电压	全		2.99		V
逻辑 0 电压	全		0.09	0.2	V
OVDD = 2.5V					
逻辑 1 电压	全		2.49		V
逻辑 0 电压	全		0.09	0.2	V
OVDD = 1.8V					
逻辑 1 电压	全		1.79		V
逻辑 0 电压	全		0.09	0.2	V

开关规格

除非另有说明，VDD=3 V、OVDD=3V，VIN=-1.0 dBFS 差分输入、1V 共模输入电压。

表 4 开关参数

参数	条件	温度	最小值	典型值	最大值	单位
采样频率 f_s		全	1		80	MHz
CLK 高电平时间 t_H		全	5		500	ns
CLK 低电平时间 t_L		全	5		500	ns
取样保持的孔径延迟 t_{AP}		全		0		ns
CLK 到 DATA 的延迟 t_D	$C_L=5pF$	全	1.4	2.7	5.4	ns
$\overline{OE}$ 为低后数据访问时间	$C_L=5pF$			4.3	10	ns
总线让出时间				3.3	8.5	ns
管道延迟		全		5		Cycle

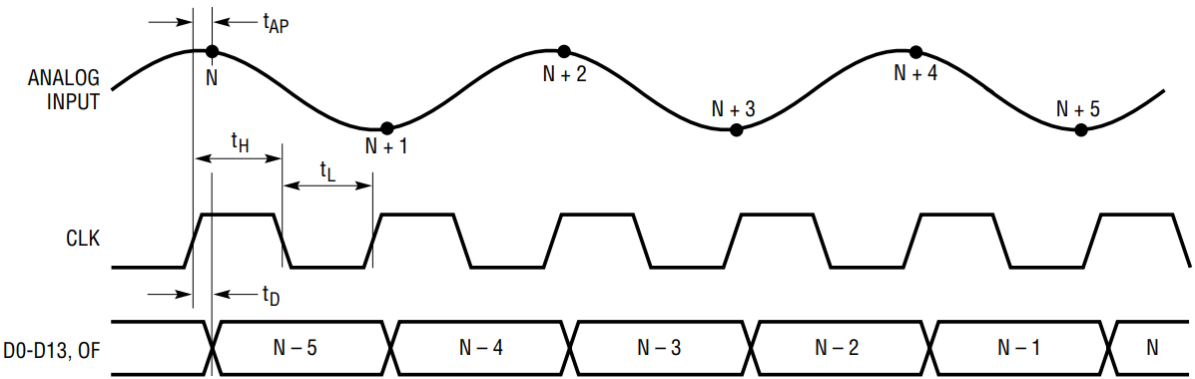


图 2 工作时序图

极限参数

VDD 至 GND	-0.3V 至 4V
OVDD 至 GND	-0.3V 至 4V
模拟输入电压 AIN+/-.....	-0.3V 至 VDD+0.3V
数字输入电压.....	-0.3V 至 VDD+0.3V
数字输出电压.....	-0.3V 至 OVDD+0.3V
最大结温 $T_{J,MAX}$	150°C
工作温度范围.....	-40°C 至 85°C
存储温度范围.....	-65°C 至 150°C
ESD(Human Body Model)	4000V

注意：对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。
在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

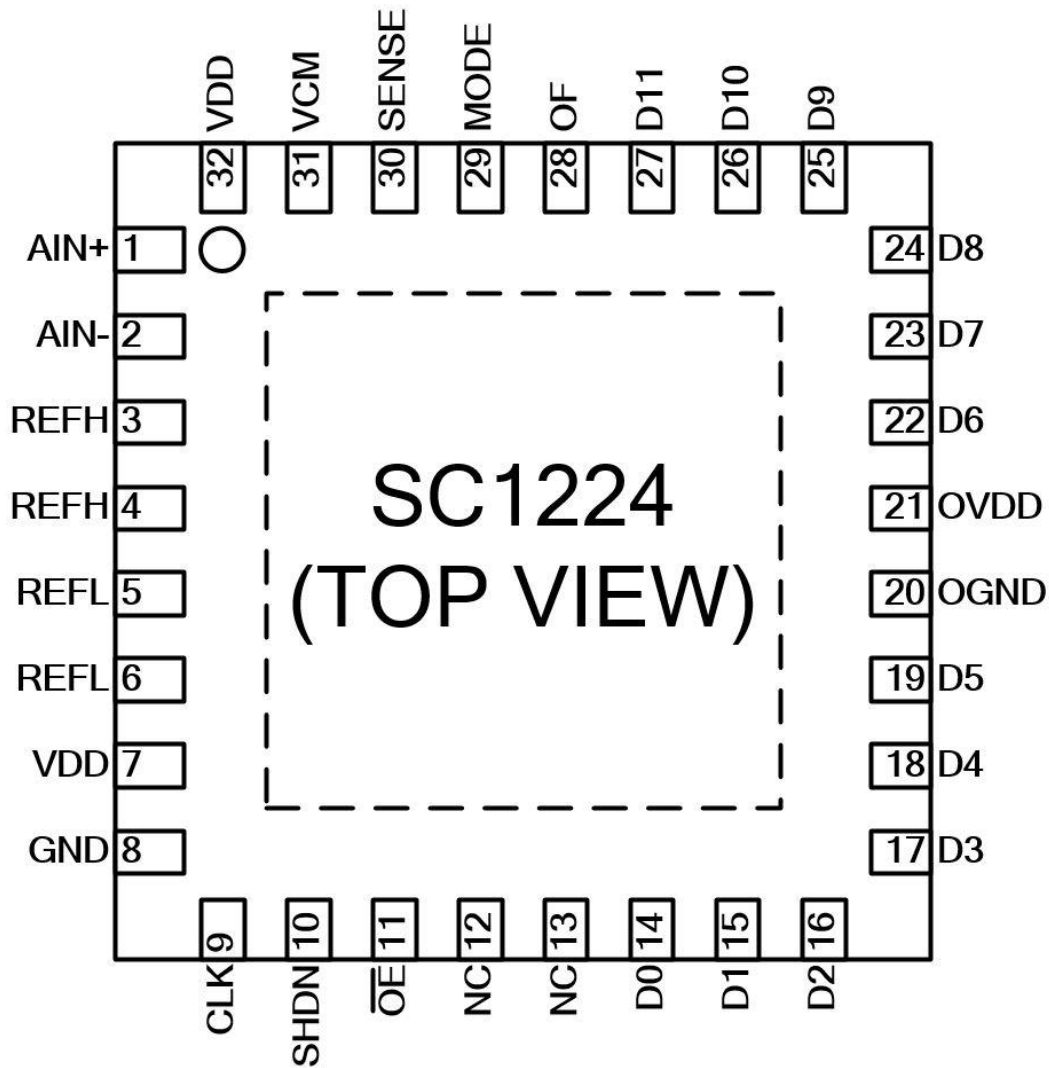


图 3 管脚（焊盘）配置

表 5 管脚定义

序号	名称	功能
0	GND	模拟接地，焊盘裸露。封装底部焊盘为芯片提供模拟接地。这个裸露焊盘必须接地以便正常工作。
1,2	AIN+, AIN-	差分模拟输入。
3,4	REFH	ADC高参考，可不进行连接。
5,6	REFL	ADC低参考，可不进行连接。
7,32	VDD	3V电源。使用0.1μF陶瓷片电容旁路接地。
8	GND	ADC电源地。
9	CLK	时钟输入。输入样本从正边缘开始。

序号	名称	功能
10	SHDN	关闭模式选择引脚。将SHDN连接到GND和OE连接到GND会导致在输出启用的情况下正常运行。将SHDN连接到GND，OE连接到VDD，可以在高阻抗下正常工作。将SHDN连接到VDD，OE连接到GND，结果在nap模式下输出为高阻抗。将SHDN连接到VDD和OE连接到VDD会导致在高阻抗下输出的休眠模式。
11	$\overline{\text{OE}}$	输出使能引脚。参见SHDN引脚功能。
14 to 19, 22 to 27	D0 to D11	数字输出。D11是最高有效位。
20	OGND	输出驱动器接地。
21	OVDD	输出驱动器的电源。使用0.1 μ F电容旁路接地。
28	OF	过流/欠流输出。发生过流或过流时为高。
29	MODE	时钟占空比稳定器选择引脚。GND与VDD连接模式选择关闭时钟占空比稳定器。1/3 VDD与2/3 VDD选择打开时钟占空比稳定器。
30	SENSE	参考编程引脚。将SENSE连接到VCM可选择内部基准和 $\pm 0.5\text{V}$ 输入范围。VDD选择内部基准和 $\pm 1\text{V}$ 输入范围。施加在SENSE上的大于0.5V小于1V的外部基准选择 $\pm V_{\text{SENSE}}$ 的输入范围。 $\pm 1\text{V}$ 为最大有效输入范围。
31	VCM	1V输出和输入共模偏置。使用2.2 μ F陶瓷片电容器旁路接地。
12,13	NC	可不进行连接。

典型曲线

除非另有说明，VDD=3 V、OVDD=3 V，VIN=-1.0 dBFS 差分输入、1 V 内部基准电压。

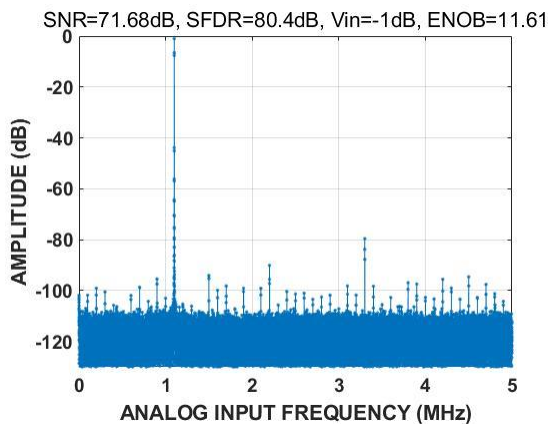


图 4 -1dB@1MHz($f_s = 10\text{MHz}$)

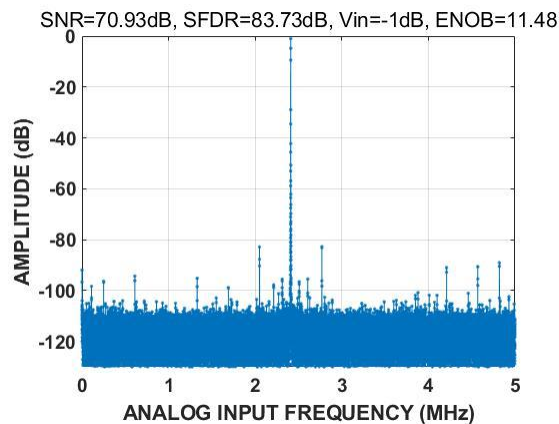


图 5 -1dB@2.4MHz($f_s = 10\text{MHz}$)

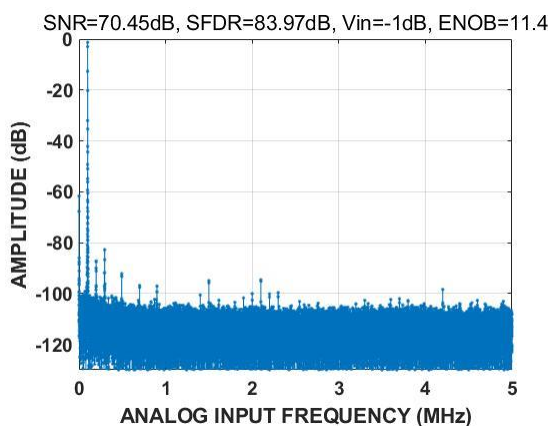


图 6 -1dB@10MHz($f_s = 10\text{MHz}$)

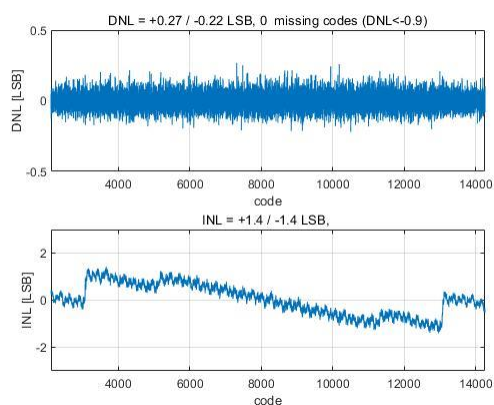


图 7 10MSPS 下的 INL 与 DNL

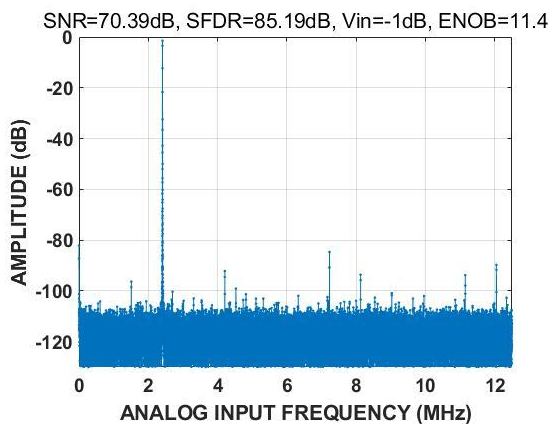


图 8 -1dB@2.4MHz($f_s = 25\text{MHz}$)

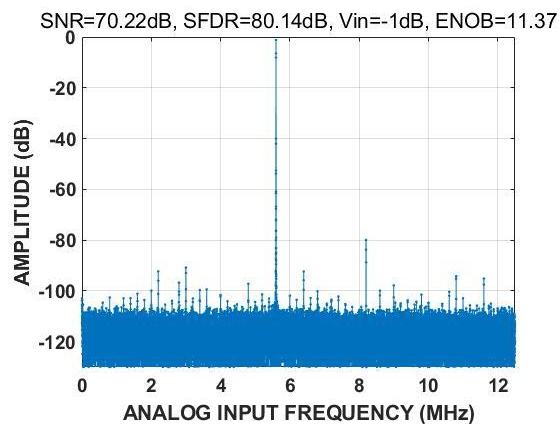


图 9 -1dB@30.5MHz($f_s = 25\text{MHz}$)

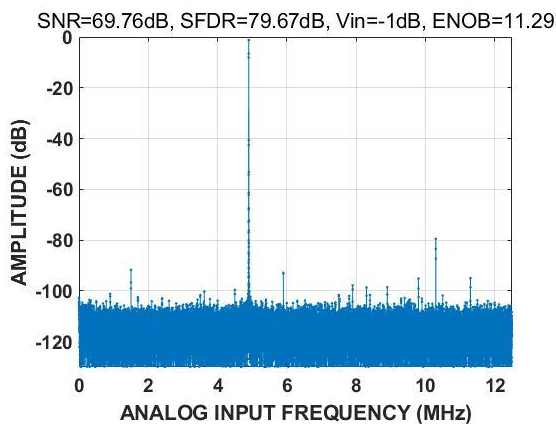


图 10 -1dB@70MHz($f_s = 25\text{MHz}$)

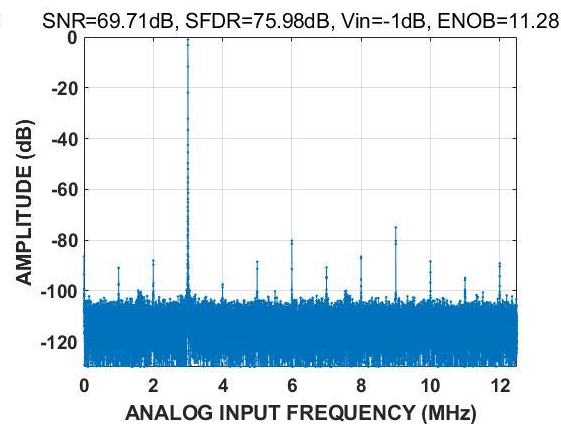


图 11 -1dB@103MHz($f_s = 25\text{MHz}$)

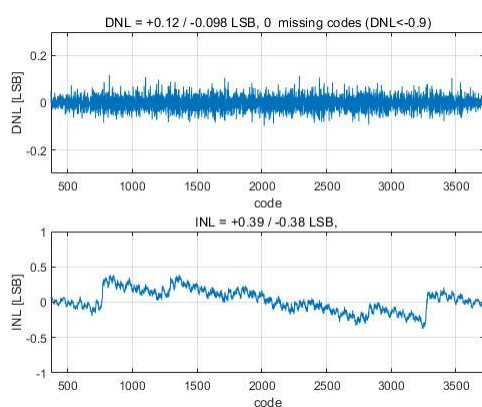


图 12 25MSPS 下的 INL 与 DNL

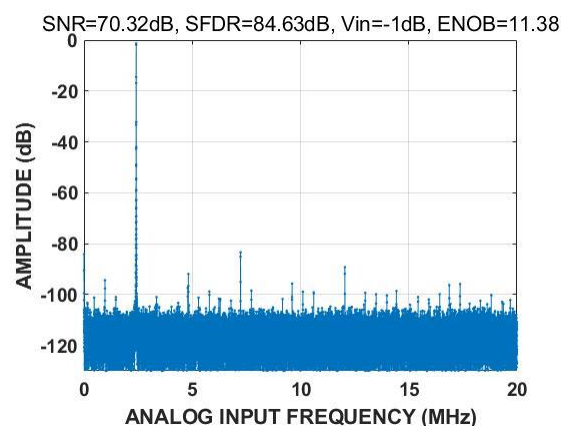


图 13 -1dB@2.4MHz($f_s = 40\text{MHz}$)

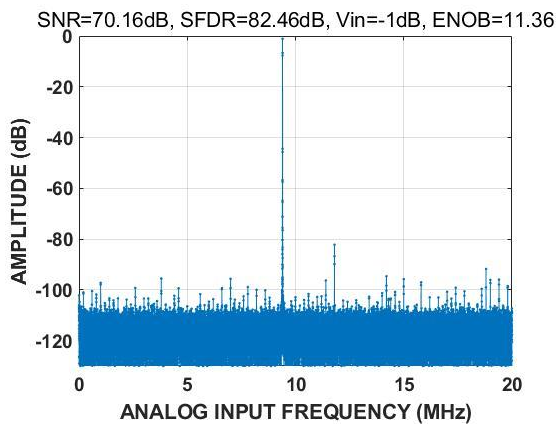


图 14 -1dB@30.5MHz($f_s = 40\text{MHz}$)

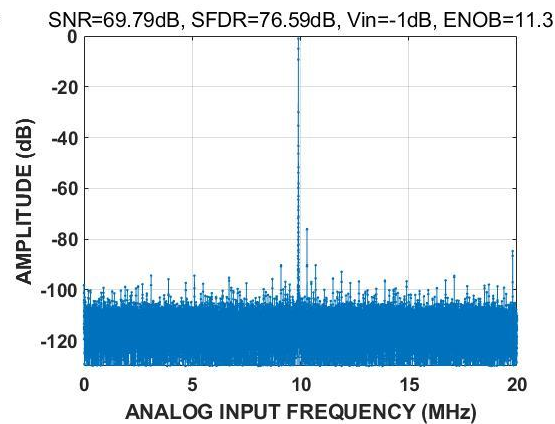


图 15 -1dB@70MHz($f_s = 40\text{MHz}$)

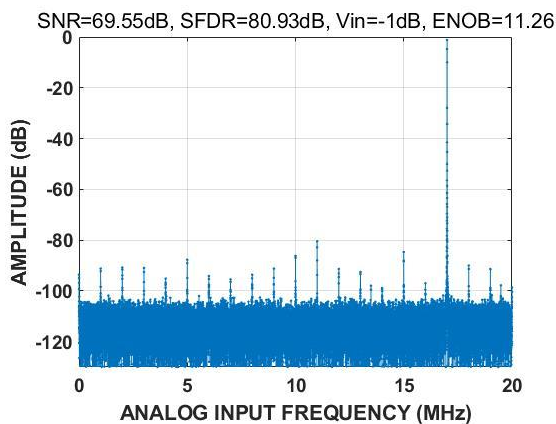


图 16 -1dB@103MHz($f_s = 40\text{MHz}$)

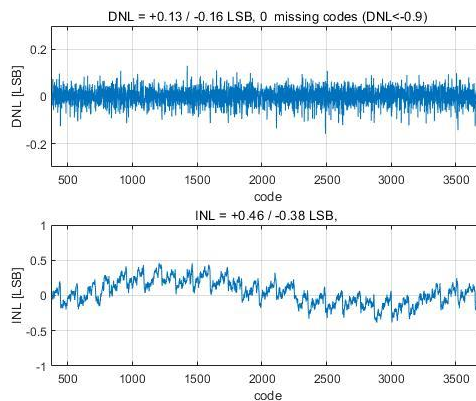


图 17 40MSPS 下的 INL 与 DNL

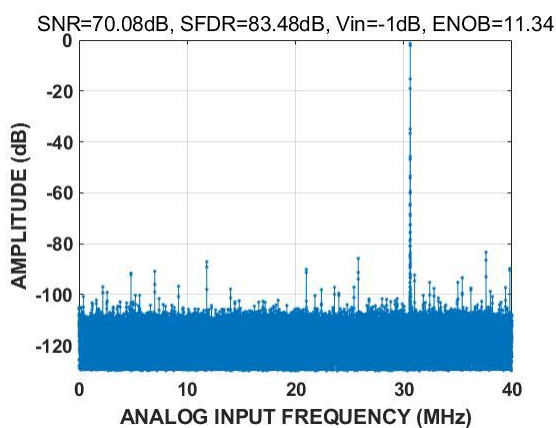


图 18 -1dB@30.5MHz($f_s = 80\text{MHz}$)

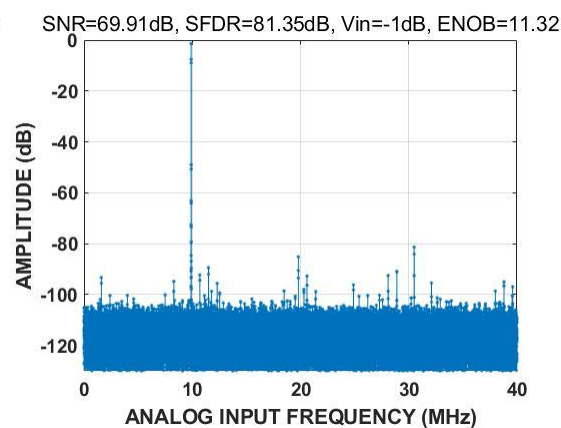


图 19 -1dB@70MHz($f_s = 80\text{MHz}$)

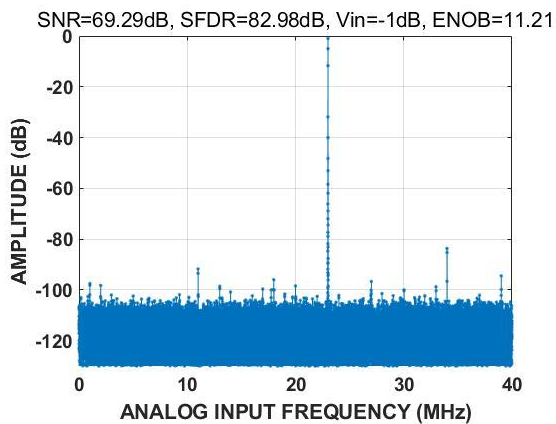


图 20 -1dB@103MHz($f_s = 80\text{MHz}$)

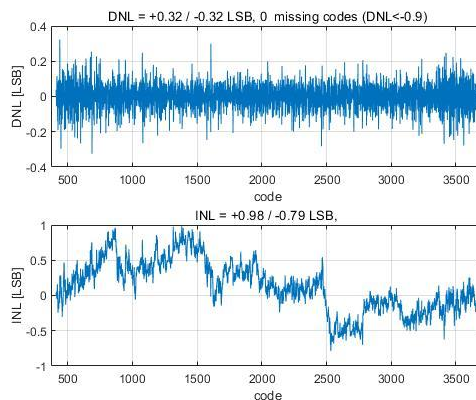


图 21 80MSPS 下的 INL 与 DNL

典型应用信息

模拟输入网络

为获得最佳性能，模拟输入应采用差分驱动，VCM 输出引脚（引脚 31）可用于提供共模偏置电平。VCM 可以直接连接到变压器的中心抽头，以设置直流输入电平或作为运放差分驱动电路的参考电平。图 22 使用差分放大器将单端输入信号转换为差分输入信号，这种方法的优点是它提供低频输入响应；然而大多数运放有限的增益带宽将限制 SFDR 在高输入频率。图 23 使用带有中心抽头次级的射频变压器驱动，使用变压器的缺点是低频响应的损失，大多数小型射频变压器在频率低于 1MHz 时性能较差。

使用 AIN-接共模电压，AIN+接输入信号的输入网络方式，该种输入方式会导致芯片 SNR 变差，因此不建议单端驱动 SC1224。

与所有高性能、高速模数转换器一样，SC1224 的动态性能也会受到输入驱动电路的影响，特别是二次谐波和三次谐波。源阻抗和电抗会影响 SFDR。为获得最佳性能，建议每个输入的源阻抗为 100Ω 或更小，且源阻抗应与差分输入匹配，阻抗不匹配会导致偶次谐波的增加。

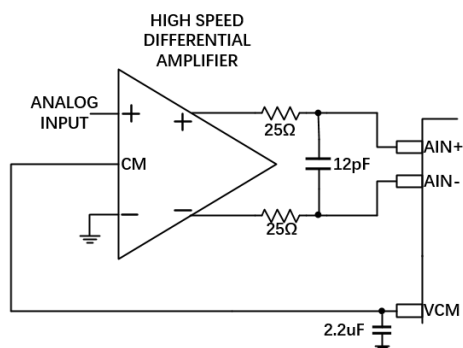


图 22 放大器单端转差分输入网络

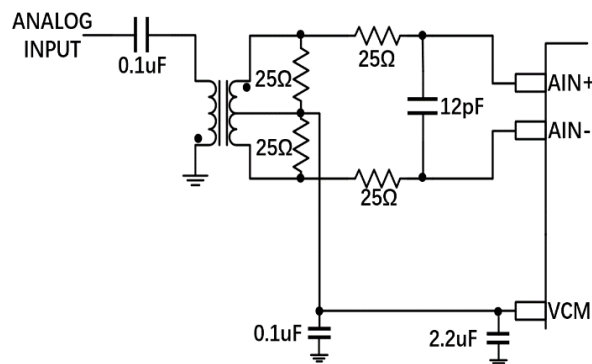


图 23 变压器单端转差分输入网络

时钟输入网络

CLK 输入可以直接用 CMOS 或 TTL 电平信号驱动。在 CLK 引脚之前，差分时钟还可以与低抖动 CMOS 转换器一起使用（见图 24）。SC1224 的噪声性能取决于时钟信号质量和模拟输入。时钟信号上存在的任何噪声都将导致额外的孔径抖动，影响芯片的动态性能。为了使 ADC 正常工作，CLK 信号应该有 50%(10%)的占空比。每个半周期必须至少有 40ns 的 ADC 内部电路，以有足够的稳定时间进行正常操作。如果输入时钟有非 50%的占空比，可以使用 MODE 引脚，调用时钟占空比稳定器，MODE 引脚应该使用外部电阻连接到 $1/3V_{DD}$ 或 $2/3V_{DD}$ 。

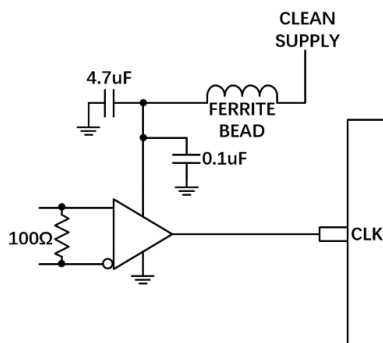


图 24 单端时钟输入网络

数字输出格式

与所有高速/高分辨率转换器一样，数字输出负载会影响性能。SC1224 的数字输出应该驱动最小电容负载，以避免数字输出和敏感输入电路之间可能的交互。输出应该用 CMOS 锁存器等设备进行缓冲。在全速运行时，电容负载应保持在 10pF 以下。较低的 OVDD 电压也有助于减少来自数字输出的干扰。表 6 模拟输入电压、数字数据位和溢出位之间的关系。

SC1224 并行数字输出为偏置二进制格式。

表 6 输出数据位与输入电压

AIN+ - AIN- (2V Range)	偏移二进制模式	溢出
>+1.000000V	1111 1111 1111	1
+0.999878V	1111 1111 1111	0
+0.999756V	1111 1111 1111	0
+0.000122V	1000 0000 0000	0
0.000000V	1000 0000 0000	0
-0.000122V	0111 1111 1111	0
-0.000244V	0111 1111 1111	0
-0.999878V	0000 0000 0000	0
-1.000000V	0000 0000 0000	0
<-1.000000V	0000 0000 0000	1

电源和接地建议

建议使用两个独立的电源为 SC1224 供电：一个用于模拟端 VDD，一个用于数字输出端 OVDD。对于 VDD 和 OVDD，应使用多个不同的去耦电容以支持高频和低频。去耦电容应放置在接近 PCB 入口点和接近器件引脚的位置，并尽可能缩短走线长度。SC1224 仅需要一个 PCB 接地层。对 PCB 模拟、数字和时钟模块进行合理的去耦和巧妙的分隔，可以轻松获得最佳的性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至模拟地 GND。PCB 上裸露的连续铜平面应与 SC1224 的裸露焊盘匹配。铜平面上应有多个通孔，以便获得尽可能低的热阻路径以通过 PCB 底部进行散热。应当填充或堵塞这些通孔，防止通孔渗锡而影响连接性能。为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续平面划分为多个均等的部分。这样，在回流焊的过程中，可在 ADC 与 PCB 之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在 ADC 与 PCB 之间有一个连接点。

VCM

VCM 引脚应通过一个 2.2 μ F 或更大的电容去耦至地。

订购信息

物料编号	温度范围	封装类型	包装形式
SC1224GDLUMZ-10	-40 ~ 85°C	QFN-32	Tray
SC1224GDLUMZ-25	-40 ~ 85°C	QFN-32	Tray
SC1224GDLUMZ-40	-40 ~ 85°C	QFN-32	Tray
SC1224GDLUMZ-80	-40 ~ 85°C	QFN-32	Tray

注：根据客户需求可以定制封装

外形尺寸

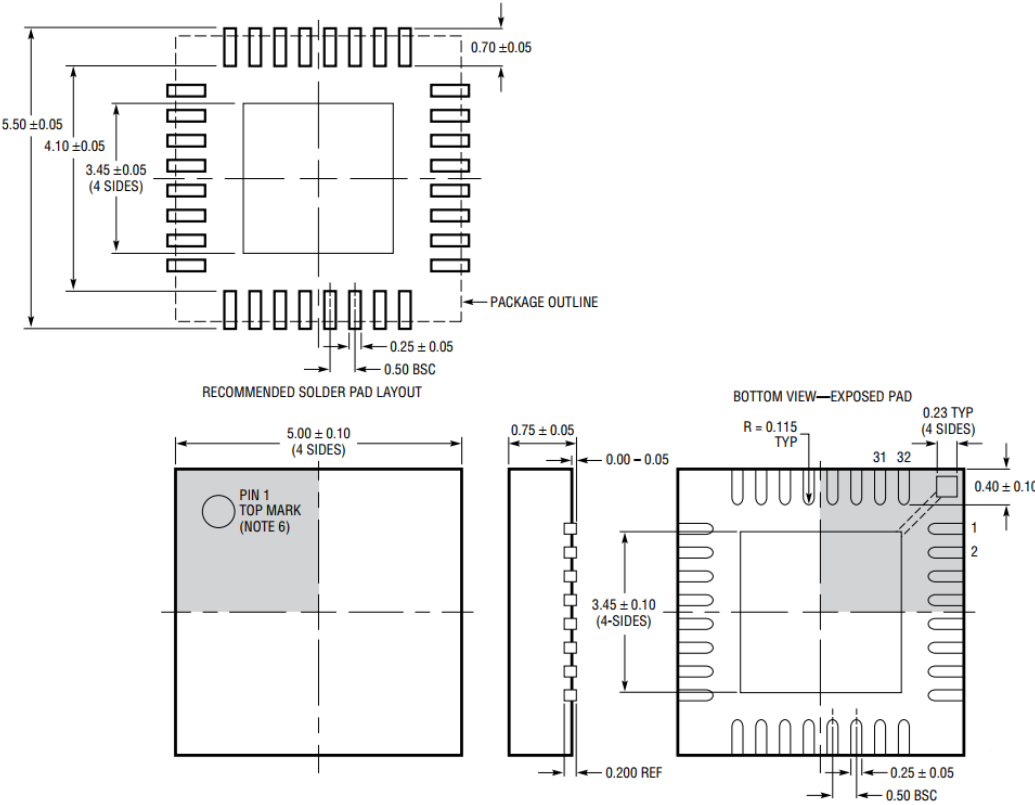


图 25-32 脚 QFN 封装尺寸图